

(11)Publication number : 06-244386  
(43)Date of publication of application : 02.09.1994

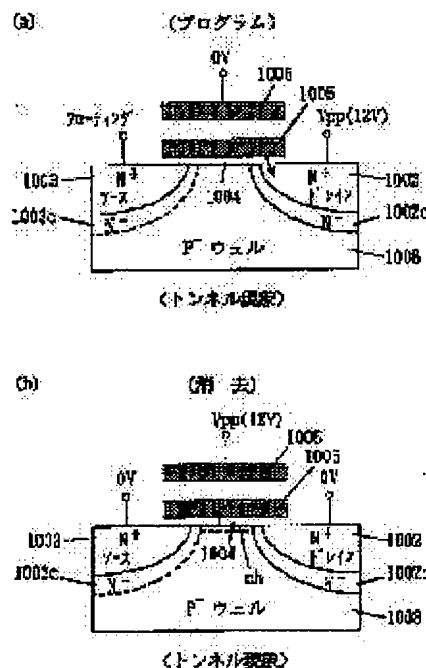
H01L 27/115  
G11C 16/02  
G11C 16/04  
H01L 29/788  
H01L 29/792

(71)Applicant : MITSUBISHI ELECTRIC CORP  
(72)Inventor : KOBAYASHI SHINICHI  
TERADA YASUSHI  
MIYAWAKI YOSHIKAZU  
NAKAYAMA TAKESHI  
FUTATSUYA TOMOSHI  
KUNORI YUICHI  
AJIKA NATSUGO  
ONODA HIROSHI  
OI MAKOTO  
FUKUMOTO ATSUSHI

Priority number : 04 85281	Priority date : 07.04.1992	Priority country : JP
04172812	30.06.1992	JP
04178116	06.07.1992	JP
04238546	07.09.1992	JP
04344807	24.12.1992	JP

(57)Abstract:

**CONSTITUTION:** At the same time with erasing, electrons are injected from a source 1003 of a plurality of memory cells to a floating gate 1005, resulting in the increase in threshold voltage of those memory cells. At programming, electrons are emitted from a floating gate 1005 of a selected memory cell to a drain 1002, resulting in the decrease in threshold voltage of the selected memory cell.



(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-244386

(43)公開日 平成6年(1994)9月2日

(51)Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 27/115				
G 1 1 C 16/02				
16/04				
		7210-4M	H 0 1 L 27/ 10	4 3 4
		6866-5L	G 1 1 C 17/ 00	3 0 7 C
		審査請求 未請求	請求項の数22	FD (全 96 頁) 最終頁に続く

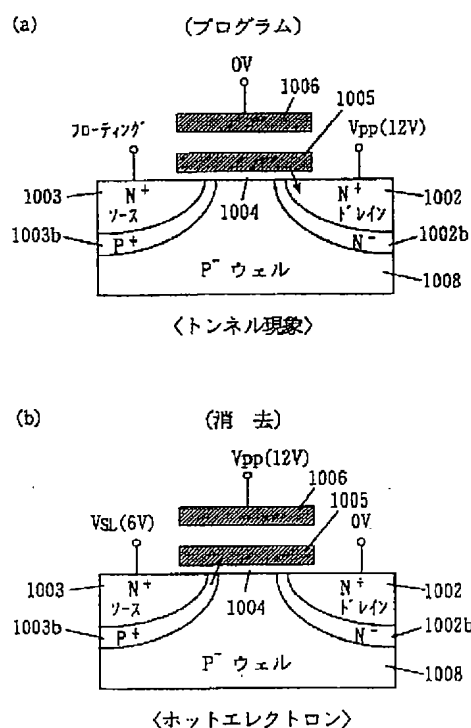
(21)出願番号	特願平5-103560	(71)出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22)出願日	平成5年(1993)4月5日	(72)発明者	小林 真一 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内
(31)優先権主張番号	特願平4-85281	(72)発明者	寺田 康 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内
(32)優先日	平4(1992)4月7日	(72)発明者	宮脇 好和 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内
(33)優先権主張国	日本(JP)	(74)代理人	弁理士 深見 久郎 (外3名)
(31)優先権主張番号	特願平4-172812		
(32)優先日	平4(1992)6月30日		
(33)優先権主張国	日本(JP)		
(31)優先権主張番号	特願平4-178116		
(32)優先日	平4(1992)7月6日		
(33)優先権主張国	日本(JP)		
特許法第30条第1項適用申請有り 平成5年1月1日			最終頁に続く

(54)【発明の名称】 不揮発性半導体記憶装置

(57)【要約】

【目的】 複数のスタックゲート型メモリセルを含むフラッシュメモリにおいて、消去前書込動作を不要とすることにより一括消去動作に要する時間を短縮し、データの書換動作に要する時間も短縮することである。

【構成】 消去時に、複数のメモリセルのソース1003からフローティングゲート1005に同時に電子を注入する。それにより、複数のメモリセルのしきい値電圧が上昇する。プログラム時に、選択されたメモリセルのフローティングゲート1005からドレイン1002に電子を放出する。それにより、選択されたメモリセルのしきい値電圧が下降する。



**【特許請求の範囲】**

**【請求項1】** 複数行および複数列に配列された複数のメモリセルと、  
前記複数行に対応して設けられた複数のワード線と、  
前記複数列に対応して設けられた複数のビット線と、  
前記複数のメモリセルに共通に設けられたソース線とを  
備え、  
前記複数のメモリセルの各々は、対応するワード線に接  
続されたコントロールゲート、対応するビット線に接続  
されたドレイン、前記ソース線に接続されたソース、お  
よびフローティングゲートを含み、  
消去時に、複数のメモリセルのフローティングゲートに  
同時に電子を注入する電子注入手段と、  
プログラム時に、選択されたメモリセルのフローティ  
ングゲートから電子を引抜く電子引抜き手段とをさらに備  
えた、不揮発性半導体記憶装置。

**【請求項2】** 前記電子注入手段は、  
選択された1または複数のワード線および前記ソース線  
にそれぞれ所定の正電圧を印加して複数のメモリセルの  
フローティングゲートにホットエレクトロンを注入する  
電圧印加手段を含む、請求項1記載の不揮発性半導体記  
憶装置。

**【請求項3】** 前記電子注入手段は、  
選択された1または複数のワード線に所定の正電圧を印  
加してトンネル現象により複数のメモリセルのフローテ  
ィングゲートに電子を注入する電圧印加手段を含む、請  
求項1記載の不揮発性半導体記憶装置。

**【請求項4】** 前記複数のメモリセルのソースおよびド  
レインはウェル内に形成され、  
前記電子注入手段は、  
選択された1または複数のワード線に所定の正電圧を印  
加しかつ前記ウェルに所定の負電圧を印加してトンネル  
現象により複数のメモリセルのフローティングゲートに  
電子を注入する電圧印加手段を含む、請求項1記載の不  
揮発性半導体記憶装置。

**【請求項5】** 前記電子引抜き手段は、  
選択されたビット線に所定の正電圧を印加してトンネル  
現象により選択されたメモリセルのフローティングゲー  
トから電子を引抜く電圧印加手段を含む、請求項1記載  
の不揮発性半導体記憶装置。

**【請求項6】** 前記電子引抜き手段は、  
選択されたビット線に所定の正電圧を印加しかつ選択さ  
れたワード線に所定の負電圧を印加してトンネル現象に  
より選択されたメモリセルのフローティングゲートから  
電子を引抜く電圧印加手段を含む、請求項1記載の不揮  
発性半導体記憶装置。

**【請求項7】** 前記電子引き抜き手段は、  
選択されたビット線をデータに従って所定の電位にプリ  
チャージしかつ選択されたワード線に所定の電圧を印加  
した後、ソース線を一時的に接地し、その後、前記選択

されたワード線に負電圧を印加する電圧印加手段を含  
む、請求項1記載の不揮発性半導体記憶装置。

**【請求項8】** 複数行および複数列に配列された複数の  
メモリセルと、  
前記複数行に対応して設けられた複数のワード線と、  
前記複数列に対応して設けられた複数の主ビット線と、  
前記複数のメモリセルに共通に設けられたソース線とを  
備え、  
前記複数のメモリセルは、各々が複数行および複数列に  
配列された複数のメモリセルを含む複数のセクタに分割  
され、  
前記複数のセクタに対応して設けられ、各々が対応する  
セクタ内の複数列に対応する複数の副ビット線を含む複  
数の副ビット線群と、  
前記複数の副ビット線群を選択的に前記複数の主ビット  
線に接続する第1の接続手段とをさらに備え、  
前記複数のメモリセルの各々は、対応するワード線に接  
続されたコントロールゲート、対応する副ビット線に接  
続されたドレイン、前記ソース線に接続されたソース、  
およびフローティングゲートを含み、  
消去時に、選択されたセクタ内の複数のメモリセルのコ  
ントロールゲートに同時に電子を注入する電子注入手段  
と、  
プログラム時に、選択されたメモリセルのコントロール  
ゲートから電子を引抜く電子引抜き手段とをさらに備え  
た、不揮発性半導体記憶装置。

**【請求項9】** 前記複数のメモリセルはウェル内に形成  
され、  
外部から電源電圧を受け、所定の正電圧を発生する正電  
圧発生手段と、  
外部から前記電源電圧を受け、所定の負電圧を発生する  
負電圧発生手段とをさらに備え、  
前記電子注入手段は、  
消去時に、前記正電圧発生手段からの正電圧および前記  
負電圧発生手段からの負電圧を受け、選択されたセクタ  
に対応するワード線に所定の正電圧を印加しかつ前記ウ  
ェルに所定の負電圧を印加してトンネル現象により選択  
されたセクタ内の複数のメモリセルのコントロールゲー  
トに電子を注入する第1の電圧印加手段を含み、  
前記電子引抜き手段は、  
プログラム時に、前記正電圧発生手段からの正電圧およ  
び前記負電圧発生手段からの負電圧を受け、選択された  
ワード線に所定の負電圧を印加しかつ選択されたビット  
線に所定の正電圧を印加してトンネル現象により選択さ  
れたメモリセルのコントロールゲートから電子を引抜く  
第2の電圧印加手段を含む、請求項8記載の不揮発性半  
導体記憶装置。

**【請求項10】** 前記複数の主ビット線に対応して設け  
られた複数の容量手段と、  
プログラム時に、前記複数の容量手段を前記複数の主ビ

ット線にそれぞれ接続する第2の接続手段とをさらに備えた、請求項8記載の不揮発性半導体記憶装置。

【請求項11】 前記ソース線は、前記複数のセクタに対応して複数の部分に分離され、  
消去時に、選択されたセクタに対応するソース線の部分と、非選択のセクタに対応するソース線の部分とを互いに異なる電位に設定する電位設定手段をさらに備えた、請求項8記載の不揮発性半導体記憶装置。

【請求項12】 容量手段と、  
消去時に、前記容量手段を前記ソース線に接続する第3の接続手段とをさらに備えた、請求項8記載の不揮発性半導体記憶装置。

【請求項13】 前記電子引抜き手段は、  
選択された主ビット線をデータに従って所定の電位にプリチャージしかつ選択されたワード線に所定の電圧を印加した後、ソース線を一時的に接地し、その後、前記選択されたワード線に負電圧を印加する電圧印加手段を含む、請求項8記載の不揮発性半導体記憶装置。

【請求項14】 行および列に配設された複数のメモリセルを備えたメモリセルアレイを含み、  
各前記メモリセルは、コントロールゲート、フローティングゲート、ドレインおよびソースを有し、  
各々が前記メモリセルアレイ内の対応する1つの列内に設けられた複数の主ビット線と、  
各々が前記メモリセルアレイ内の前記対応する1つの列内のメモリセルのドレインに接続された複数の副ビット線と、  
各々が外部から与えられるアドレス信号にตอบสนองして、前記複数の主ビット線の対応する1本を前記複数の副ビット線の対応する1本に接続する複数のスイッチングトランジスタと、  
各々が前記メモリセルアレイ内の対応する1つの行内のメモリセルのコントロールゲートに接続された複数のワード線と、  
前記複数のメモリセルのソース電極に接続されたソース線と、  
外部から与えられるアドレス信号にตอบสนองして、前記複数のワード線に選択的に負電圧を与える行デコード手段とを含む、不揮発性半導体記憶装置。

【請求項15】 半導体基板と、  
前記基板上に形成された主ビット線と、  
互いに直列に設けられ、かつ各々が前記基板上で前記主ビット線に平行に形成された第1および第2の副ビット線と、  
各々がセクタ選択信号にตอบสนองして、前記主ビット線を前記第1および第2の副ビット線の対応する1本に接続する第1および第2のスイッチングトランジスタと、  
各々が前記第1の副ビット線に接続された複数のメモリセルを含む第1のメモリセル群と、  
各々が前記第2の副ビット線に接続された複数のメモリ

セルを含む第2のメモリセル群とを含み、  
各前記メモリセルは、前記基板上に形成されたコントロールゲートおよびフローティングゲートと、基板領域に形成されたドレインおよびソースとを備え、  
各前記メモリセルは、前記ドレインを介して前記第1および第2の副ビット線の対応する1本に接続され、  
基板領域に形成され、前記第1のメモリセル群における前記第2のメモリセル群に最も近くに置かれたメモリセルを前記第2のメモリセル群における前記第1のメモリセル群に最も近くに置かれたメモリセルから絶縁する絶縁層を含む、不揮発性半導体記憶装置。

【請求項16】 主ビット線と、  
互いに直列に設けられ、かつ各々が前記主ビット線に平行に形成された第1および第2の副ビット線と、  
各々がセクタ選択信号にตอบสนองして、前記主ビット線を前記第1および第2の副ビット線の対応する1本に接続する第1および第2のスイッチングトランジスタと、  
各々が前記第1の副ビット線に接続された $n$ 個 ( $n \geq 2$ ) のメモリセルを含む第1のメモリセル群と、  
各々が第2の副ビット線に接続された $n$ 個のメモリセルを含む第2のメモリセル群とを含み、  
各前記メモリセルは、コントロールゲート、フローティングゲート、ドレインおよびソースを備え、  
各前記メモリセルは、前記ドレインを介して前記第1および第2の副ビット線の対応する1本に接続され、  
各々が前記第1のメモリセル群において前記第2のメモリセル群から離れる方向に置かれた $j$ 番目 ( $j = 1, 2, \dots, n$ ) のメモリセルのコントロールゲートを前記第2のメモリセル群において前記第1のメモリセル群から離れる方向に置かれた第 $j$ 番目のメモリセルのコントロールゲートに接続する $n$ 本の接続線と、  
外部から与えられるアドレス信号にตอบสนองして、前記 $n$ 本の接続線の1本を選択する行デコード手段とを含む、不揮発性半導体記憶装置。

【請求項17】 行および列に配設された複数のメモリセルを備えたメモリセルアレイを含み、  
各前記メモリセルは、コントロールゲート、フローティングゲート、ドレインおよびソースを有し、  
各々が前記メモリセルアレイ内の対応する1つの行内のメモリセルのコントロールゲートに接続された複数のワード線と、  
予め定められた正電圧を発生する手段と、  
予め定められた負電圧を発生する手段と、  
外部から与えられるアドレス信号にตอบสนองして、前記複数のワード線の1本を選択する行デコード手段とを含み、  
前記行デコード手段は、P型およびN型の電界効果トランジスタを含む第1の相補型回路を含み、  
前記正電圧、前記負電圧および外部から与えられるワード線電圧を受けるように接続され、外部から与えられるテストモード信号にตอบสนองして、前記外部から与えられる

ワード線電圧を前記行デコード手段に与えるスイッチング回路手段を含み、

前記スイッチング回路手段は、P型およびN型の電界効果トランジスタを含む第2の相補型回路を含み、

前記外部から与えられるワード線電圧は、前記第1および第2の相補型回路を介して、前記行デコード手段により選択されたワード線に与えられる、不揮発性半導体記憶装置。

【請求項18】 第1および第2素子形成領域を含む主表面を有する半導体基板と、

前記第1素子形成領域に形成され、コントロールゲートとフローティングゲートによって電氣的に書込消去可能な複数のメモリトランジスタと、

前記メモリトランジスタ上に形成され、分岐線を有し、前記分岐線が前記複数のメモリトランジスタの各ドレイン領域と電氣的に接続された副ビット線と、

前記第1素子形成領域に形成されたセレクトゲートトランジスタと、

を備え、

前記副ビット線は前記セレクトゲートトランジスタの一方のソース／ドレイン領域と電氣的に接続され、

さらに、

前記セレクトゲートトランジスタの他方のソース／ドレイン領域と電氣的に接続された主ビット線と、

前記第1素子形成領域を含むように、前記半導体基板中に形成された第1ウェル領域と、

前記第1ウェル領域を囲むように前記半導体基板中に形成され、前記第1ウェル領域と異なる導電型の第2ウェル領域と、

を備え、

前記第1ウェル領域に電圧を印加したとき、前記第1ウェル領域と前記第2ウェル領域の接合が逆バイアス状態となり、

前記第2ウェル領域によって前記第1素子形成領域と前記第2素子形成領域とは絶縁分離される、不揮発性半導体記憶装置。

【請求項19】 前記第1ウェル領域に電圧を印加し、前記コントロールゲートに前記第1ウェル領域に印加した電圧と異なる符号の電圧を印加し、チャンネル領域全面でのFNトンネリングによってキャリアを前記フローティングゲートに注入することにより、前記メモリトランジスタを消去状態にし、

前記主ビット線に電圧を印加し、前記コントロールゲートに前記主ビット線に印加した電圧と異なる符号の電圧を印加し、ドレイン領域とフローティングゲートの重なり部分でのFNトンネリングによってキャリアを前記フローティングゲートから引抜くことにより前記メモリトランジスタを書込状態にしている請求項1に記載の不揮発性半導体記憶装置。

【請求項20】 主表面を有する第1導電型の半導体基

板と、

前記半導体基板の主表面に形成され、ビット線として機能する第2導電型の不純物領域と、

前記第2導電型の不純物領域を間に挟むように前記半導体基板の主表面上に絶縁膜を介在させて形成された第1および第2フローティングゲートと、

前記第1および第2フローティングゲート上に延在するように絶縁膜を介在して形成されたコントロールゲートと、

を備えた不揮発性半導体記憶装置において、

前記第1フローティングゲートは前記不純物領域の一方端と部分的に重なる位置に形成され、

前記第2フローティングゲートは、前記不純物領域の他方端とは重ならず離れた位置に形成されていることを特徴とする不揮発性半導体記憶装置。

【請求項21】 前記不純物領域は、相対的に高濃度である第2導電型の第1の不純物領域と、相対的に低濃度である第2導電型の第2の不純物領域とを有しており、前記第1フローティングゲートは、前記第1および第2の不純物領域の一方端と部分的に重なる位置に形成され、

前記第2フローティングゲートは、前記第1の不純物領域の他方端とは重ならず離れた位置で、前記第2の不純物領域の他方端とは部分的に重なる位置に形成されていることを特徴とする不揮発性半導体記憶装置。

【請求項22】 チャンネル領域を規定する一対の不純物領域を有する複数のメモリトランジスタを有し、各メモリトランジスタは情報を記憶するためのフローティングゲートを含む不揮発性半導体記憶装置の情報のプログラミング方法であって、

すべての前記フローティングゲートにFN(Fowler Nordheim)現象によって前記チャンネル領域全面から電子を注入する行程と、

前記フローティングゲートと前記不純物領域とが重なる領域でのFN現象によって、所定の前記フローティングゲートから電子を引き抜くことによって情報を書込む行程と、

を備えた不揮発性半導体記憶装置の情報のプログラミング方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は不揮発性半導体記憶装置に関し、特にスタックゲート型メモリセルを含む電氣的にプログラムおよび消去可能な不揮発性半導体記憶装置(以下、フラッシュメモリと称す)に関する。

【0002】

【従来の技術】 まず、消去およびプログラムの一般的な定義を説明する。消去とは、複数のメモリセルのしきい値電圧を一括して所定の状態に変えることをいう。プログラムとは、選択されたメモリセルのしきい値電圧をも

う1つの所定の状態に変えることをいう。消去されたメモリセルにデータ“1”を対応させ、プログラムされたメモリセルにデータ“0”を対応させる。

【0003】(1) メモリセルの断面構造(図128, 129)

図128に、従来のフラッシュメモリに用いられる一般的なスタックゲート型メモリセル(メモリトランジスタ)の断面構造を示す。P<sup>-</sup>型半導体基板1001の主面に所定間隔をもって2つのN<sup>+</sup>型不純物領域が形成されている。一方の不純物領域がドレイン1002を構成し、他方の不純物領域がソース1003を構成する。ドレイン1002とソース1003との間の半導体基板1001の領域上に、極めて薄い酸化膜等からなる絶縁膜1004(約100Å)が形成されている。絶縁膜1004の上にフローティングゲート1005が形成され、さらにその上に絶縁膜を介してコントロールゲート1006が形成されている。このように、メモリセルは二重ゲート構造を有する。なお、P<sup>-</sup>型半導体基板1001をP<sup>-</sup>ウェルで置換えてもよい。

【0004】フラッシュメモリでは、フローティングゲート1005に電子が注入されているかまたはフローティングゲート1005から電子が放出されているかにより、情報(データ)がメモリセルに記憶される。

【0005】フローティングゲート1005に電子が注入されている状態では、コントロールゲート1006から見たメモリセルのしきい値電圧は高く、図129に示すように、コントロールゲート電圧がV<sub>g0</sub>以上にならなければドレイン1002およびソース1003間に電流は流れない。これは、フローティングゲート1005に蓄積されている電子の負電荷によって正の電圧が打ち消されるからである。この状態をプログラム状態と呼ぶ。この場合、メモリセルにはデータ“0”が記憶される。フローティングゲート1005に蓄積された電子はそのままでは半永久的に消えないため、記憶されたデータも半永久的に保持される。

【0006】また、フローティングゲート1005から電子が放出されている状態では、コントロールゲート1006から見たメモリセルのしきい値電圧は低く、図129に示すように、コントロールゲート電圧がV<sub>g1</sub>以上になるとドレイン1002およびソース1003間に電流が流れる。この状態を消去状態と呼ぶ。この場合、メモリセルにはデータ“1”が記憶される。

【0007】このような2つの状態を検出することにより、メモリセルに記憶されているデータを読み取ることができる。

【0008】(2) メモリセルのプログラムおよび消去(図130)

図130の(a)にメモリセルのプログラム時の電圧印加条件を示し、図130の(b)にメモリセルの消去時の電圧印加条件を示す。

【0009】プログラム時には、ドレイン1002に書込電圧V<sub>w</sub>(通常6V程度)を印加し、コントロールゲート1006に高電圧V<sub>pp</sub>(通常12V程度)を印加し、ソース1003を接地する。それにより、ドレイン1002の近傍でアバランシェ降伏によるホットエレクトロンが発生し、あるいは、ドレイン1002およびソース1003間の領域に形成されるチャンネルに高エネルギーを有するチャンネルホットエレクトロンが発生する。コントロールゲート1006の高電圧によって加速されたホットエレクトロンは、絶縁膜1004によるエネルギー障壁を飛越えてドレイン近傍からフローティングゲート1005に注入される。その結果、メモリセルのしきい値電圧が上昇する。

【0010】消去時には、ドレイン1002をフローティング状態にし、ソース1003に高電圧V<sub>pp</sub>を印加し、コントロールゲート1006を接地する。それにより、薄い絶縁膜1004に高電圧が発生し、トンネル現象によりフローティングゲート1005からソース1003に電子が放出される。その結果、メモリセルのしきい値電圧が下降する。

【0011】このように、プログラム時には、ホットエレクトロンによりフローティングゲート1005に電子が注入される。したがって、図130に示すように、チャンネル方向または基板方向に、より高電界が発生するように、ドレイン1002に沿ってP<sup>+</sup>型不純物領域1002aが設けられている。

【0012】また、消去時には、トンネル現象によりフローティングゲート1005からソース1003に電子が放出される。そのため、消去時にはフローティングゲート1005とソース1003との間の電界のみが必要である。リーク電流が発生しないように、チャンネル方向または基板方向の電界は小さいほうが好ましい。したがって、チャンネル方向または基板方向の電界を弱めるために、ソース1003に沿ってN<sup>-</sup>型不純物領域1003aが設けられている。

【0013】(3) フラッシュメモリの全体の構成(図131, 132)

図131は、従来のフラッシュメモリの全体の構成を示すブロック図である。

【0014】メモリアレイ1010は、複数のビット線、複数のビット線に交差する複数のワード線、およびそれらの交点に設けられた複数のメモリセルを含む。

【0015】図131においては、説明を簡単にするために、2行および2列に配列された4つのメモリセルM00, M01, M10, M11が示される。メモリセルM00, M01のドレインはビット線BL0に接続され、メモリセルM10, M11のドレインはビット線BL1に接続される。メモリセルM00, M10のコントロールゲートはワード線WL0に接続され、メモリセルM01, M11のコントロールゲートはワード線WL1

に接続される。メモリセルM00, M01, M10, M11のソースはソース線SLに接続される。

【0016】アドレスバッファ1020は、外部から与えられるアドレス信号ADを受け、Xアドレス信号をXデコーダ1030に与え、Yアドレス信号をYデコーダ1040に与える。Xデコーダ1030は、Xアドレス信号にตอบสนองして複数のワード線WL0, WL1のいずれかを選択する。Yデコーダ1040は、Yアドレス信号にตอบสนองして複数のビット線のいずれかを選択する選択信号Y0, Y1を発生する。

【0017】Yゲート1050はビット線BL0, BL1に対応してYゲートトランジスタYG0, YG1を含む。YゲートトランジスタYG0, YG1は、それぞれ選択信号Y0, Y1にตอบสนองして、ビット線BL0, BL1をセンスアンプ1060および書込回路1080に接続する。

【0018】読出時には、センスアンプ1060が、ビット線BL0またはビット線BL1上に読出されたデータを検知し、データ入出力バッファ1070を介して外部に出力する。プログラム時には、外部から与えられるデータDAがデータ入出力バッファ1070を介して書込回路1080に与えられ、書込回路1080はそのデータに従ってビット線BL0, BL1に書込電圧を与える。

【0019】Vpp/Vcc切換回路1090は、外部から与えられる高電圧（通常12V）および外部から与えられる電源電圧Vcc（通常5V）を受け、Xデコーダ1030、Yデコーダ1040および書込回路1080に高電圧Vppまたは電源電圧Vccを与える。ベリファイ電圧発生回路1100は、外部から与えられる電源電圧Vccを受け、後述するベリファイ時に、選択されたワード線に所定のベリファイ電圧を与える。ソース制御回路1110は、消去時に、ソース線SLに高電圧Vppを与える。

【0020】制御信号バッファ1120は、外部から与えられる制御信号CTを制御回路1130に与える。制御回路1130は、各回路の動作を制御する。

【0021】Xデコーダ1030は、図132に示すように、デコーダ回路1301、および複数のワード線WLに対応する複数の高電圧スイッチ1302を含む。デコーダ回路1301は、Xアドレス信号XAをデコードして、複数のワード線WLのいずれか1つを選択するための選択信号を発生する。各高電圧スイッチ1302は、制御回路1130から与えられる制御信号SWにตอบสนองして、選択されたワード線WLに高電圧Vppまたは電源電圧Vccを与える。

【0022】なお、このフラッシュメモリはチップCH上に形成される。

【0023】(4) フラッシュメモリの動作(図133～図140)

(a) プログラム動作(図133)

図133は、プログラム動作時の電圧印加条件を示す図である。ここでは、たとえばメモリセルM00をプログラムするものと仮定する。制御回路1130には、制御信号バッファ1120を介してプログラム動作を指定する制御信号が与えられる。Vpp/Vcc切換回路1090には外部から高電圧Vppが与えられる。Vpp/Vcc切換回路1090は、高電圧VppをXデコーダ1030およびYデコーダ1040に与える。

【0024】Xデコーダ1030は、アドレスバッファ1020から与えられるXアドレス信号にตอบสนองして、ワード線WL0を選択し、それに高電圧Vppを与える。

【0025】また、Yデコーダ1040は、アドレスバッファ1020から与えられるYアドレス信号にตอบสนองして、YゲートトランジスタYG0に高電圧の選択信号Y0を与える。それにより、YゲートトランジスタYG0がオンする。

【0026】ソース制御回路1110は、ソース線SLに0Vを与える。書込回路1080が活性化される。それにより、ビット線BL0に書込電圧Vwが与えられる。

【0027】その結果、メモリセルM00に、図130の(a)に示すように電圧が印加され、メモリセルM00がプログラムされる。

【0028】(b) 消去動作(図134～図136) 消去動作は消去前書込動作および一括消去動作からなる。

【0029】(i) 消去前書込動作(図134) メモリセルを一括消去する前には、上記の方法によりすべてのメモリセルにプログラムを行なう。このようにして、すべてのメモリセルのしきい値電圧を高くする。これを、消去前書込動作と呼ぶ。

【0030】図134のフローチャートを参照しながら、消去前書込動作を説明する。まず、すべてのメモリセルのデータが“0”であるか否かを判別する(ステップS51)。すべてのメモリセルのデータが“0”でないときには、アドレス信号により指定されるアドレスを0番地に設定する(ステップS52)。そして、上述したプログラム動作により、アドレス信号により指定されたメモリセルにプログラムを行なう(ステップS53)。

【0031】次に、アドレス信号により指定されるアドレスが最終番地であるか否かを判別する(ステップS54)。アドレスが最終番地でない場合には、アドレスを1ずつインクリメントし(ステップS55)、プログラム動作を行なう(ステップS53)。この動作を、アドレスが最終番地になるまで続ける(ステップS53, S54, S55)。アドレスが最終番地になると、消去前書込動作を終了する。

【0032】(ii) 一括消去動作(図135, 図1

36)

次に、図135のフローチャートを参照しながら、一括消去動作を説明する。また、図136に、一括消去時の電圧印加条件を示す。

【0033】まず、制御信号バッファ1120を介して制御回路1130に一括消去を指定する制御信号が与えられる。一括消去時には、 $V_{pp}/V_{cc}$ 切換回路1090は、ソース制御回路1110に高電圧 $V_{pp}$ を与える。ソース制御回路1110は、ソース線SLに高電圧 $V_{pp}$ を与える（ステップS61）。

【0034】また、Xデコーダ1030は、ワード線WL0、WL1を接地する。Yデコーダ1040は、YゲートトランジスタYG0、YG1にそれぞれ0Vの選択信号Y0、Y1を与える。それにより、ビット線BL0、BL1はフローティング状態になる。

【0035】その結果、すべてのメモリセルには、図130の(b)に示すように電圧が印加され、すべてのメモリセルのしきい値電圧が下降する。

【0036】ソース線SLへの1回の高電圧（消去電圧）の印加のみでは、すべてのメモリセルのしきい値電圧を所定の値よりも下降させることが困難である。そのため、一般的には、ソース線SLに複数回高電圧パルスを印加し、それぞれのパルス印加後に消去ベリファイ動作を行なう。

【0037】まず、ソース線SLに高電圧パルスを印加した後（ステップS61）、ソース線SLを0Vに設定し（ステップS62）、0番地を選択する（ステップS63）。そして、選択されたワード線にベリファイ電圧発生回路1100によって電源電圧 $V_{cc}$ よりも低い所定のベリファイ電圧が与えられる（ステップS64）。それにより、選択されたメモリセルのデータが対応するビット線に読出され、センスアンプ1060により検知される。そして、センスアンプ1060により検知されたデータが“1”であるか否かが判別される（ステップS65）。

【0038】センスアンプ1060により検知されたデータが“0”ならば、ステップS61～S64が繰返される。

【0039】センスアンプ1060により検知されたデータが“1”ならば、アドレス信号により指定されるアドレスが最終番地であるか否かが判別される（ステップS66）。アドレスが最終番地でないならば、アドレスが1だけインクリメントされる（ステップS67）。このように、アドレスを1ずつインクリメントしながらすべてのメモリセルのデータが読出される。もし読出されたデータが“0”ならば、ソース線SLに高電圧パルスを印加し、メモリセルを消去する。

【0040】このようにして、メモリセルのしきい値電圧をモニタしながらすべてのメモリセルを徐々に消去する。

【0041】(c) 読出動作（図137）

図137に、読出動作時の電圧印加条件を示す。ここでは、メモリセルM00からデータが読出されるものと仮定する。

【0042】まず、制御信号バッファ1120を介して制御回路1130に、読出動作を指定する制御信号が与えられる。Xデコーダ1030は、アドレスバッファ1020から与えられるXアドレス信号に応答してワード線WL0を選択し、それに電源電圧 $V_{cc}$ を印加する。このとき、非選択のワード線の電位は0Vに保たれる。

【0043】Yデコーダ1040は、アドレスバッファ1020から与えられるYアドレス信号に応答してYゲートトランジスタYG0をオンさせる。それにより、ビット線BL0がセンスアンプ1060に接続される。このとき、ソース線SLには、ソース制御回路1110により0Vが与えられる。

【0044】その結果、メモリセルM00のしきい値電圧が低い場合には、メモリセルM00はオン状態になる。それにより、センスアンプ1060内の抵抗Rに電流Iが流れ、ビット線BL0上の読出電圧 $V_r$ が低くなる。このビット線BL0上の読出電圧 $V_r$ がインバータINV2を介してデータ“1”として出力される。

【0045】また、メモリセルM00のしきい値電圧が高い場合には、メモリセルM00はオフ状態になる。それにより、ビット線BL0上の読出電圧 $V_r$ が高くなる。このビット線BL0上の読出電圧 $V_r$ がインバータINV2を介してデータ“0”として出力される。

【0046】なお、読出時のビット線の電圧が電源電圧 $V_{cc}$ に近くなると、ホットエレクトロンが発生し、メモリセルがプログラムされる可能性がある。これをソフトライトと呼ぶ。このソフトライトを防止するために、NチャネルトランジスタTRおよびインバータINV1により、ビット線上の読出電圧 $V_r$ が1V程度に設定される。

【0047】(d) 各動作における各線の電位（図138）

図138に、プログラム動作、消去動作および読出動作におけるワード線、ビット線およびソース線の電位を示す。プログラム時および消去前書込時には、ワード線に高電圧 $V_{pp}$ が印加され、ビット線に書込電圧 $V_w$ が印加され、ソース線に0Vが印加される。一括消去時には、ソース線のみが高電圧 $V_{pp}$ が印加され、ワード線に0Vが印加され、ビット線はフローティング状態となっている。読出時には、ワード線に電源電圧 $V_{cc}$ が印加され、ソース線が0Vとなり、ビット線に読出電圧 $V_r$ が現れる。

【0048】(e) 消去前書込動作が必要な理由（図139、図140）

次に、消去時に消去前書込動作が必要となる理由を図139および図140を用いて説明する。図139は、プ



プログラム動作および一括消去動作を行なった場合のメモリセルのしきい値電圧の変化を示している。また、図140はプログラム動作、消去前書込動作および一括消去動作を行なった場合のメモリセルのしきい値電圧の変化を示している。

【0049】一括消去動作においては、図130の(b)に示すように、メモリセルのコントロールゲート1006は0Vとなり、ドレイン1002はフローティング状態となり、ソース1003には高電圧 $V_{pp}$ が与えられる。このような電圧印加条件においては、ソース1003とフローティングゲート1005との間に高電圧が発生し、この高電圧によってフローティングゲート1005に蓄積された電子がソース1003に引抜かれる。その結果、メモリセルのしきい値電圧が低くなる。

【0050】しかしながら、しきい値電圧の低い状態(データ“1”)においてこの消去動作を行なうと、図139に示すように、そのメモリセルのしきい値電圧が負になってしまう。これを、メモリセルのデプレッション化と呼ぶ。メモリセルのデプレッション化により、読出時に次に示す問題が生じる。

【0051】ここで、図137に示される読出動作において、メモリセルM00が選択され、かつメモリセルM01が一括消去によりデプレッション化していると仮定する。すなわち、メモリセルM01のしきい値電圧は負となっている。

【0052】この場合、ワード線WL0には電源電圧 $V_{cc}$ が印加されるが、ワード線WL1の電位は0Vのままである。メモリセルM00がデータ“0”を記憶しているならば、ワード線WL0の電位が電源電圧 $V_{cc}$ となってもメモリセルM00はオンしない。したがって、ビット線BL0には電流が発生しない。

【0053】しかしながら、メモリセルM01のしきい値電圧が負になっていると、ワード線WL1の電位が0Vであっても、メモリセルM01はオンすることになる。その結果、ビット線BL0に電流が発生する。この場合、センスアンプ1060により、メモリセルM00に記憶されるデータが“1”であると判断される。

【0054】このように、ビット線に接続されるメモリセルのうち少なくとも1つのメモリセルのしきい値電圧が負になっていれば、そのメモリセルが非選択の状態であってもそのビット線に電流が流れてしまう。そのため、選択されたメモリセルに記憶されるデータを正確に読出すことができない。

【0055】このような問題を解決するために、図140に示すように、一括消去動作の前に消去前書込動作を行なう。それによって、すべてのメモリセルのしきい値電圧を一旦高い状態にし、その後一括消去動作を行なう。その結果、消去されたメモリセルの電圧は正の値でかつ電源電圧 $V_{cc}$ よりも低い値に統一されることになる。このように、消去前書込動作により、信頼性が向上

する。

【0056】以下に、従来のフラッシュメモリの構造についてより詳しく説明する。データを自由に書込むことができ、しかも電氣的に消去可能なメモリデバイスとしてフラッシュメモリが存在する。1つのトランジスタで構成され、書込まれた情報電荷を電氣的に一括消去することが可能なEEPROM、いわゆる、フラッシュメモリが米国特許第4,868,619号、“An In-System Reprogrammable 32K×8 CMOS Flash Memory” by Virgil Niles Kynett et al., IEEE Journal of Solid-State Circuits, vol. 23, No. 5, October 1988で提案されている。

【0057】図148はフラッシュメモリの一般的な構成を示すブロック図である。図において、フラッシュメモリは行列状に配置されたメモリセルマトリックス1と、Xアドレスデコーダ2と、Yゲート3と、Yアドレスデコーダ4と、アドレスバッファ5と、書込回路6と、センスアンプ7と、入出力バッファ8と、コントロールロジック9とを含む。

【0058】メモリセルマトリックス1は、行列状に配置された複数のメモリトランジスタをその内部に有する。メモリセルマトリックス1の行および列を選択するためにXアドレスデコーダ2とYゲート3とが接続されている。Yゲート3には列の選択情報を与えるYアドレスデコーダ4が接続されている。Xアドレスデコーダ2とYアドレスデコーダ4には、それぞれ、アドレス情報が一時格納されるアドレスバッファ5が接続されている。

【0059】Yゲート3には、データ入力時に書込動作を行なうための書込回路6とデータ出力時に流れる電流値から「0」と「1」を判定するセンスアンプ7が接続されている。書込回路6とセンスアンプ7にはそれぞれ、入出力データを一時格納する入出力バッファ8が接続されている。アドレスバッファ5と入出力バッファ8には、フラッシュメモリの動作制御を行なうためのコントロールロジック9が接続されている。コントロールロジック9は、チップイネーブル信号、アウトプットイネーブル信号およびプログラム信号に基づいた制御を行なう。

【0060】図149は、図148に示されたメモリセルマトリックス1の概略構成を示す等価回路図である。このメモリセルマトリックスを有するフラッシュメモリはNOR型と呼ばれている。図において、行方向に延びる複数本のワード線 $WL_1, WL_2, \dots, WL_i$ と、列方向に延びる複数本のビット線 $BL_1, BL_2, \dots, BL_j$ とが互いに直交するように配置され、マトリックスを構成する。各ワード線と各ビット線の交点には、それぞれフローティングゲートを有するメモリトランジスタ

$Q_{11}$ ,  $Q_{12}$ , ...,  $Q_{ij}$ が配設されている。各メモリトランジスタのドレインは各ビット線に接続されている。メモリトランジスタのコントロールゲートは各ワード線に接続されている。メモリトランジスタのソースは各ソース線 $S_1$ ,  $S_2$ , ...に接続されている。同一行に属するメモリトランジスタのソースは、図に示されるように相互に接続されている。

【0061】図150は、上記のようなNOR型フラッシュメモリを構成する1つのメモリトランジスタの断面構造を示す部分断面図である。図151はNOR型フラッシュメモリの平面的配置を示す概略平面図である。図152は図151のA-A線に沿う部分断面図である。これらの図を参照してNOR型フラッシュメモリの構造について説明する。

【0062】図150および図152を参照して、シリコン基板上に設けられたp型不純物領域10の主表面上にn型不純物領域、たとえば、ドレイン領域11とソース領域12とが間隔を隔てて形成されている。これらのドレイン領域11とソース領域12との間に挟まれた領域には、チャンネルが形成されるようにコントロールゲート13とフローティングゲート14が形成されている。フローティングゲート14はp型不純物領域10の上に膜厚100Å程度の薄いゲート酸化膜15を介在して形成されている。コントロールゲート13はフローティングゲート14から電氣的に分離されるように、フローティングゲート14の上に層間絶縁膜16を介在して形成されている。フローティングゲート14は多結晶シリコンから形成されている。コントロールゲート13は多結晶シリコン層あるいは多結晶シリコン層と高融点金属の積層膜から構成されている。酸化膜17は、フローティングゲート14やコントロールゲート13を構成する多結晶シリコン層の表面にCVD法により堆積させることによって形成されている。さらに、フローティングゲート14やコントロールゲート13を被覆するようにスモースコート膜21（図152参照）が形成されている。

【0063】図151に示すように、コントロールゲート13は相互に接続されて横方向（行方向）に延びるようにワード線として形成されている。ビット線18はワード線13と直交するように配置され、ドレインコンタクト20を通じて各ドレイン領域11に電氣的に接続されている。図152に示すように、ビット線18はスモースコート膜21の上に形成されている。図151に示すように、ソース領域12は、ワード線13が延びる方向に沿って延在し、ワード線13とフィールド酸化膜19とに囲まれた領域に形成されている。ドレイン領域11もワード線13とフィールド酸化膜19とによって囲まれた領域に形成されている。

【0064】上記のように構成されたNOR型フラッシュメモリの動作について図150を参照して説明する。

【0065】まず書込動作においては、ドレイン領域1

1に5V程度の電圧、コントロールゲート13に10V程度の電圧が印加される。そしてソース領域12とp型不純物領域10は接地電位（0V）に保たれる。このとき、メモリトランジスタのチャンネルには数100μAの電流が流れる。ソースからドレインに流れた電子のうちドレイン近傍で加速された電子は、この近傍で高いエネルギーを有する電子、いわゆるチャンネルホットエレクトロンとなる。この電子は、コントロールゲート13に印加された電圧による電界により、矢印①に示されるように、フローティングゲート14に注入される。このようにして、フローティングゲート14に電子の蓄積が行なわれ、メモリトランジスタのしきい値電圧 $V_{th}$ がたとえば8Vとなる。この状態が書込状態、“0”と呼ばれる。

【0066】次に、消去動作においては、ソース領域12に5V程度の電圧が印加され、コントロールゲート13に-10V程度の電圧が印加され、p型不純物領域10は接地電位に保持される。そして、ドレイン領域11は解放される。ソース領域12に印加された電圧による電界により、矢印②に示されるように、フローティングゲート14中の電子は、薄いゲート酸化膜15をトンネル現象によって通過する。このようにして、フローティングゲート14中の電子が引き抜かれることによって、メモリトランジスタのしきい値電圧 $V_{th}$ がたとえば2Vとなる。この状態が消去状態、“1”と呼ばれる。各メモリトランジスタのソースは図149に示されるように接続されているので、この消去動作によって、すべてのメモリを一括消去できる。

【0067】さらに、読出動作において、コントロールゲート13に5V程度の電圧、ドレイン領域11に1V程度の電圧が印加される。そしてソース領域12、p型不純物領域10は接地電位に保持される。このとき、メモリトランジスタのチャンネル領域に電流が流れるかどうかにより、“1”、“0”の判定が行なわれる。

【0068】すなわち、書込状態のときは $V_{th}$ が8Vなのでチャンネルが形成されず、電流が流れない。これに対し、消去状態のときは $V_{th}$ が2Vなのでチャンネルが形成され電流が流れる。

【0069】NOR型では、チャンネルホットエレクトロンを利用してフローティングゲート14に電子を注入し、書込状態“0”にしている。チャンネルホットエレクトロンによる電子の注入は効率が悪いので、NOR型は消費電力が大きくなるという問題があった。

【0070】また、図152を参照して、たとえばメモリトランジスタ22aを選択して書込む際には、先程説明したようにドレイン領域11に5V程度、コントロールゲート13に10V程度の電圧を印加することによって、メモリトランジスタ22aのフローティングゲート14に書込が行なわれる。

【0071】次にメモリトランジスタ22bを選択して

書込む際にも、メモリトランジスタ22bにおけるドレイン領域11およびコントロールゲート13に同様の電圧が印加される。メモリトランジスタ22aとメモリトランジスタ22bとは、ドレイン領域11を共有している。したがって、メモリトランジスタ22bに書込む際にドレイン領域11に印加された電圧によって、メモリトランジスタ22aのフローティングゲート14に注入された電子がトンネル現象によりドレイン領域11に引き抜かれることが起きる場合がある。この現象をドレインディスタース現象という。ドレインディスタース現象により、電子を注入したメモリトランジスタのフローティングゲートから電子が引き抜かれるので、書込状態であったはずのメモリトランジスタが消去状態となり、フラッシュメモリの誤動作の原因となる。

【0072】NOR型の問題点を解決するものにNAND型がある。NAND型フラッシュメモリはたとえばNIKKEI ELECTRONICS 1992. 2. 17 (no. 547) のPP. 180~181に開示されている。図153はNAND型フラッシュメモリのメモリセルマトリックスの一部の等価回路図である。セレクトゲートトランジスタ39a、39b、39cは、それぞれ、一方の不純物領域がビット線に接続され、他方の不純物領域がメモリトランジスタ38a、38b、38cに接続されている。

【0073】セレクトゲートトランジスタ39aによって縦方向に8個並んでいるメモリトランジスタ38aが選択され、セレクトゲートトランジスタ39bにより縦方向に8個並んでいるメモリトランジスタ38bが選択され、セレクトゲートトランジスタ39cにより縦方向に8個並んでいるメモリトランジスタ38cが選択される。これらのメモリトランジスタ38a、38b、38cはそれぞれ、セレクトゲートトランジスタ23a、23b、23cを通して接地されている。

【0074】図154はNAND型フラッシュメモリのメモリセルマトリックスの一部の断面図である。シリコン基板26中に形成されたP型不純物領域30には、不純物領域27が間隔を隔てて形成されている。各不純物領域27の間には、フローティングゲート29およびコントロールゲート28を備えるメモリトランジスタ38aが形成されている。

【0075】図155はメモリトランジスタ38aの断面構造図である。シリコン基板に形成されたp型不純物領域30には、不純物領域27が間隔を隔てて形成されている。各不純物領域27の間のp型不純物領域30上にはゲート酸化膜35、フローティングゲート29、層間絶縁膜36、コントロールゲート28が積層されている。コントロールゲート28およびフローティングゲート29は酸化膜37で覆われている。

【0076】NAND型フラッシュメモリの動作を図153~図155を用いて以下説明する。まず書込動作を

説明する。たとえばワード線 $W_8$ を有するメモリトランジスタ38aに書込みするときは、セレクトゲートトランジスタの選択ゲート $S_2$ 、ビット線B1、ソース線およびp型不純物領域30を接地電位に保ち、 $S_1$ 、B2、B3に10V程度の電圧を印加し、ワード線 $W_8$ に20V程度の電圧を印加し、他のワード線 $W_1 \sim W_7$ は接地電位に保つ。これにより図155の①で示すように、ワード線 $W_8$ （コントロールゲート28）を有するメモリトランジスタ38aでは、チャンネル領域にある電子がチャンネルFNによりフローティングゲート29に注入される。これが書込状態“0”であり、このとき $V_{th}$ は3Vとなっている。

【0077】次に消去動作について説明する。消去を行なうときは、ビット線、 $S_1$ 、 $S_2$ 、p型不純物領域30に20Vの電圧を印加し、ワード線 $W_1 \sim W_8$ は接地電位に保つ。このとき図155の②で示すように、書込状態“0”の状態にあるメモリトランジスタ38aのフローティングゲート29からチャンネルFNにより電子がチャンネル領域に引き抜かれ消去状態“1”となる。消去状態“1”における $V_{th}$ は-2Vとなる。

【0078】次に読出動作について説明していく。たとえばワード線 $W_8$ を有するメモリトランジスタ38aを読出すとき、ビット線B1に1V程度の電圧を印加し、ソース線と基板を接地電位に保つ。そしてワード線 $W_8$ を接地電位に保ち、ワード線 $W_1 \sim W_7$ に5V程度の電圧を印加する。また、選択ゲート $S_1$ 、 $S_2$ に所定の電圧を印加し、セレクトゲートトランジスタをONさせる。

【0079】ワード線 $W_8$ は接地電位（0V）に保たれているので、ワード線 $W_8$ を有するメモリトランジスタ38aが消去状態“1”のときはメモリトランジスタ38aがONし、書込状態“0”のときはメモリトランジスタ38aがOFFの状態になる。ワード線 $W_1 \sim W_7$ を有するメモリトランジスタ38aはワード線 $W_1 \sim W_7$ に5Vの電圧が印加されているので書込状態“0”、消去状態“1”如何にかかわらずメモリトランジスタ38aがONする。

【0080】したがって、ワード線 $W_8$ を有するメモリトランジスタ38aが消去状態“1”のときは、図154を参照して、電流は各ワード線 $W_1 \sim W_8$ で形成されるチャンネルを通り、ビット線を通り、センスアンプに導かれる。これに対し、ワード線 $W_8$ を有するメモリトランジスタ38aが書込状態“0”のときはワード線 $W_8$ によってはチャンネルが形成されないため電流がセンスアンプに流れない。センスアンプが電流を感知したときは消去状態“1”と判定し、電流を感知しなかったときは書込状態“0”と判断する。

【0081】チャンネルFNを用いてフローティングゲートに電子を注入する場合、チャンネルホットエレクトロンを用いて電子を注入する場合に比べ効率がよい。したが

って、NAND型はNOR型に比べ消費電力を低くすることができる。

【0082】また、NAND型は書込時にチャネルFNを用い、メモリトランジスタのドレイン領域に高電圧を印加しないのでドレインディスタース現象をなくすることができる。

【0083】

【発明が解決しようとする課題】(1) 書換動作(図141)

上記の従来のフラッシュメモリにおいてメモリセルに記憶されるデータを書換える場合には、図141に示すように、消去前書込動作を行ない(ステップS71)、一括消去動作を行ない(ステップS72)、その後プログラム動作を行なう(ステップS73)。

【0084】フラッシュメモリの容量が大きくなると、消去前書込動作に要する時間が非常に長くなる。たとえば、1Mビットのフラッシュメモリにおいては、すべてのアドレスのメモリセルにプログラムを行なうのに要する時間は1~2秒にもなる。

【0085】このように消去前書込動作に要する時間が長いことは、データの書換に長時間を要することを意味する。これは、ユーザーにとって非常に不便である。

【0086】(2) 過消去によるデプレッション化(図142、図143)

上述のように、消去時には、一括消去動作の前に消去前書込動作を行なうことにより、メモリセルのしきい値電圧をほぼ同一の値に統一している。しかしながら、実際には、消去単位内に存在する複数のメモリセルの消去特性には、必ずばらつきが存在するものである。

【0087】もし、図142に示すように、このばらつきが非常に大きい場合には、一部のメモリセルが過消去され、この過消去されたメモリセルはデプレッション化される。

【0088】このようにデプレッション化されたメモリセルにおいては、そのコントロールゲートが接地されていても電流が流れてしまう。その結果、デプレッション化されたメモリセルと同一のビット線に接続されるメモリセルから読出されるデータがデプレッション化されたメモリセルにより乱されてしまい、常にデータが“1”と判定されてしまう。

【0089】このような問題は、図143に示されるような構造を有するメモリセルには存在しない。

【0090】図143において、P-型半導体基板1301の主面に所定間隔をもってN+型不純物領域1302、1303、1310が形成されている。不純物領域1302と不純物領域1303との間の領域上には酸化膜からなる絶縁膜を介してゲート電極1304が形成されている。これにより、選択トランジスタ1305が構成される。

【0091】不純物領域1303上には約100Å程度

の非常に薄い酸化膜1306を介してフローティングゲート1307が形成され、さらにその上方には絶縁膜を介してコントロールゲート1308が形成されている。これにより、2層ゲート構造を有するメモリトランジスタ1309が構成される。

【0092】選択トランジスタ1305およびメモリトランジスタ1309で1ビットのメモリセルが構成される。不純物領域1302はビット端子Bに接続され、ゲート電極1304はワード端子Wに接続される。不純物領域1310はソース端子Sに接続される。コントロールゲート1308はコントロールゲート端子CGに接続される。

【0093】図143に示されるメモリセルにおいては、選択トランジスタ1305が設けられているので、メモリトランジスタ1309がデプレッション化されても、上記のような問題は生じない。

【0094】しかしながら、図143のメモリセルは、図128に示されるスタックゲート型メモリセルと比較して、構造が複雑になり、かつ広い面積が必要となる。

【0095】(3) セクタ間のディスタース(図144)

従来のフラッシュメモリにおいて、メモリアレイをセクタ分割することによりデータの書換単位を細分化することができる。この場合、選択されたセクタ内のメモリセルが非選択のセクタ内のメモリセルに影響を与えることが問題となる。これをディスタースと呼ぶ。

【0096】たとえば、図144に示すように、ワード線WL0に接続される複数のメモリセルをセクタSE1およびセクタSE2に分割する場合を考える。この場合、セクタSE1内のメモリセルをプログラムしているときに、非選択のセクタSE2内のメモリセルのコントロールゲートにも高電圧が印加される。

【0097】また、ビット線BL0に接続される複数のメモリセルをセクタSE1およびセクタSE3に分割する場合を考える。この場合、セクタSE1内のメモリセルをプログラムしているときに、非選択のセクタSE3内のメモリセルのドレインにも高電圧が印加される。

【0098】いずれの場合においても、数千回程度のディスタースが起こっても、十分データの保証は可能である。しかし、同一のワード線および同一のビット線に複数のセクタが存在するため、1つのセクタ内のメモリセルの書換回数を10000回とすると、他のセクタに起こるディスタースの回数は次のようになる。

【0099】ディスタースの回数=(10000回)×(セクタ数-1)

このように、複数のセクタが存在する場合には、あるセクタに起こるディスタースの回数は膨大となる。近年では、要求されるセクタの書換保証回数は、ますます増加しており、異なるセクタ間のディスタースは大きな問題である。

#### 【0100】(4) 消費電力

従来のフラッシュメモリのプログラム時には、チャネルホットエレクトロンによりフローティングゲートに電子が注入される。そのため、プログラム時に大きなチャネル電流が必要となる。したがって、プログラム時の消費電力が大きくなる。

#### (5) 集積度

一方、米国特許番号5, 126, 808は、主ビット線および副ビット線を有する従来のフラッシュメモリを開示している。そのようなフラッシュメモリにおいて、プログラミングのためにチャネルホットエレクトロンによる電子の注入が用いられ、大きなチャネル電流が流れる。その結果、次のような問題も引き起こされる。

【0101】図145は、主ビット線および副ビット線を有する従来のフラッシュメモリの半導体基板上的レイアウト図である。図145を参照して、半導体基板上で、主ビット線MB、副ビット線SB0およびSB1が平行に形成されている。これらのビット線と垂直する方向に、ワード線VL0, WL1, …およびセレクトゲート線SGL0, SGL1が形成される。各ワード線と副ビット線とが交わる位置に、メモリセルが形成される。たとえば、各ワード線WL0, WL1, …と副ビット線SB1とが交わる位置に、メモリセルM11, M12, …が形成される。セクタ選択のためのセレクトゲートトランジスタSG'は、主ビット線MBとセレクトゲート線SGL0とが交差する位置に形成される。半導体基板内に、N<sup>+</sup>拡散層1405が形成される。

【0102】図145に示したメモリセルM11, M12, …において、前述のように、チャネルホットエレクトロンを用いたプログラミングが行なわれるので、大きなチャネル電流が副ビット線SB1を介して流れることになる。したがって、この大きな電流がセクタ選択のためのセレクトゲートトランジスタSG'を介して流れるので、セレクトゲートトランジスタSG'のチャネル幅を大きな値に選択する必要がある。このことは、セレクトゲートトランジスタSG'が半導体基板上において大きな面積を占めることを意味しており、その結果、半導体基板における集積度を低下させることになる。これに加えて、図145に示したフラッシュメモリでは、主ビット線MBおよび副ビット線SB0, SB1の抵抗を減少させるため、第1および第2のアルミ配線層が副ビット線SB0, SB1および主ビット線MBとして形成される。したがって、ポリシリコン層によって形成されるワード線WL0, WL1, …の抵抗を減少させるためにアルミ配線層を使用することができなくなる。その結果、ワード線における信号の伝播において遅延が生じ、高い動作速度が得られなくなる。

【0103】図146は、従来のフラッシュメモリのメモリセルの構造図である。図146を参照して、2つのメモリセルM00およびM10は、Pウェル1008上

に形成された分離酸化膜1402により分離されている。たとえば、メモリセルM10についてプログラムが行なわれる場合には、コントロールゲートを構成する第2アルミ配線層1006に10Vの高電圧が与えられ、一方、トランジスタM10のドレイン1002'に5Vの電圧が与えられる。もし、分離酸化膜1402の幅Wbが狭すぎると、この分離酸化膜1402をゲート酸化膜として用いたMOSトランジスタ1403が等価的に存在することになる。等価的なMOSトランジスタ1403の存在は、メモリセルM00およびM10における所望の動作を妨げる。したがって、この等価的なMOSトランジスタ1403の発生を防ぐために、分離酸化膜1402の幅Wbを小さな値に選択することができない。このことは、メモリセルアレイにおける集積度が低下されることを意味する。

【0104】図147は、従来のフラッシュメモリのメモリセルアレイにおいて与えられる電圧を示す回路図である。図147(a)はプログラムのために与えられる電圧を示し、一方、図147(b)は消去のために与えられる電圧を示す。図147(a)を参照して、メモリセルM00のフローティングゲートに電子を注入するため、ビット線BL0に5Vの電圧が与えられ、一方、ワード線WL11に-10Vの負電圧が与えられる。一方、選択されないワード線WL12には、5Vの電圧が与えられる。言い換えると、図示されていないXデコーダは、-10Vおよび5Vの電圧を出力する必要があることになる。図147(b)を参照して、選択されたセクタSE1内にストアされたデータを消去するため、ワード線WL11およびWL12に10Vの正電圧が与えられ、一方、ビット線BL0およびBL1は高インピーダンス状態にもたらされる。一方、選択されないセクタSE2内のワード線WL21およびWL22には、-8Vの負電圧が与えられる。言い換えると、図示されていないXデコーダは、10Vの正電圧および-8Vの負電圧を出力する必要がある。

【0105】したがって、図示されていないXデコーダは、プログラム動作において15Vの電圧差を有する出力電圧を出力し、一方、消去動作において18Vの電圧差を有する出力電圧を出力する必要がある。したがって、出力電圧の電圧差が大きいため、Xデコーダを半導体基板上のより小さな占有領域内に形成することが難しくなっている。

#### 【0106】(6) 外部電源

プログラム時には、各メモリセルのドレインに5V~6Vの電圧を印加する必要がある。上記のように、チャネルホットエレクトロンによるプログラムは大きなチャネル電流を必要とするので、3Vまたは5Vの単一の外部電源を用いて内部昇圧によりこのドレイン電圧を作り出すことは非常に困難である。もし、それが可能であるとしても、多数のビットを同時にプログラムすることはで

きず、プログラム時間が膨大となる。しかしNAND型は読出動作において、直列に並んだ8個のメモリトランジスタに電流を通すことにより行なうので読出動作が遅いという欠点を有する。

【0107】また、書込、消去時において20Vという比較的高い電圧を用いるので、高集積化が困難という問題があった。この発明の目的は、フラッシュメモリにおいて消去動作に要する時間を短縮し、それによって書換動作に要する時間を短縮することである。

【0108】この発明の他の目的は、スタックゲート型メモリセルの過消去によるデプレッション化を防止することにより、安定した消去動作を実現することである。

【0109】この発明のさらに他の目的は、メモリアレイをセクタ分割した場合のディスタ urb を防止することである。

【0110】この発明のさらに他の目的は、プログラム時の消費電力を少なくすることである。

【0111】この発明のさらに他の目的は、単一の外部電源により動作可能なフラッシュメモリを提供することである。この発明のさらに他の目的は、低消費電力で動作させることができ、ドレインディスタ urb 現象を低減させることができ、読出動作を高速にすることができ、最大電圧を低くすることができる不揮発性半導体記憶装置を提供することである。

【0112】

【課題を解決するための手段】(1) 第1の発明

第1の発明に係る不揮発性半導体記憶装置は、複数行および複数列に配列された複数のメモリセル、複数行に対応して設けられた複数のワード線、複数列に対応して設けられた複数のビット線、複数のメモリセルに共通に設けられたソース線、電子注入手段および電子引抜き手段を備える。

【0113】複数のメモリセルの各々は、対応するワード線に接続されたコントロールゲート、対応するビット線に接続されたドレイン、ソース線に接続されたソース、およびフローティングゲートを含む。電子注入手段は、消去時に、複数のメモリセルのフローティングゲートに同時に電子を注入する。電子引抜き手段は、プログラム時に、選択されたメモリセルのフローティングゲートから電子を引抜く。

【0114】(2) 第2の発明

第2の発明に係る不揮発性半導体記憶装置においては、電子注入手段が、選択された1または複数のワード線およびソース線にそれぞれ所定の正電圧を印加して複数のメモリセルのフローティングゲートにホットエレクトロンを注入する電圧印加手段を含む。

【0115】(3) 第3の発明

第3の発明に係る不揮発性半導体記憶装置においては、電子注入手段が、選択された1または複数のワード線に所定の正電圧を印加してトンネル現象により複数のメモ

リセルのフローティングゲートに電子を注入する電圧印加手段を含む。

【0116】(4) 第4の発明

第4の発明に係る不揮発性半導体記憶装置においては、複数のメモリセルのソースおよびドレインがウェル内に形成される。電子注入手段は、複数のまたは選択された1または複数のワード線に所定の正電圧を印加しかつウェルに所定の負電圧を印加してトンネル現象により複数のメモリセルのフローティングゲートに電子を注入する電圧印加手段を含む。

【0117】(5) 第5の発明

第5の発明に係る不揮発性半導体記憶装置においては、電子引抜き手段が、選択されたビット線に所定の正電圧を印加してトンネル現象により選択されたメモリセルのフローティングゲートから電子を引抜く電圧印加手段を含む。

【0118】(6) 第6の発明

第6の発明に係る不揮発性半導体記憶装置においては、電子引抜き手段が、選択されたビット線に所定の正電圧を印加しかつ選択されたワード線に所定の負電圧を印加してトンネル現象により選択されたメモリセルのフローティングゲートから電子を引抜く電圧印加手段を含む。

【0119】(7) 第7の発明

第7の発明に係る不揮発性半導体記憶装置においては、電子引き抜き手段が電圧印加手段を含む。電圧印加手段は、選択されたビット線をデータに従って所定の電位にプリチャージしかつ選択されたワード線に所定の電圧を印加した後、ソース線を一時的に接地し、その後、選択されたワード線に負電圧を印加する。

【0120】(8) 第8の発明

第8の発明に係る不揮発性半導体記憶装置においては、複数行および複数列に配列された複数のメモリセル、複数行に対応して設けられた複数のワード線、前記複数列に対応して設けられた複数の主ビット線、および複数のメモリセルに共通に設けられたソース線を備える。複数のメモリセルは、各々が複数行および複数列に配列された複数のメモリセルを含む複数のセクタに分割される。  
・その不揮発性半導体記憶装置は、複数のセクタに対応して設けられた複数の副ビット線群、および複数の副ビット線群を選択的に複数の主ビット線に接続する第1の接続手段をさらに備える。複数の副ビット線群の各々は、対応するセクタ内の複数列に対応する複数の副ビット線を含む。

【0121】複数のメモリセルの各々は、対応するワード線に接続されたコントロールゲート、対応する副ビット線に接続されたドレイン、ソース線に接続されたソース、およびフローティングゲートを含む。

【0122】その不揮発性半導体記憶装置は、電子注入手段および電子引抜き手段をさらに備える。電子注入手段は、消去時に、選択されたセクタ内の複数のメモリセ

ルのコントロールゲートに同時に電子を注入する。電子引抜き手段は、プログラム時に、選択されたメモリセルのコントロールゲートから電子を引抜く。

【0123】(9) 第9の発明

第9の発明に係る不揮発性半導体記憶装置においては、複数のメモリセルがウェル内に形成される。その不揮発性半導体記憶装置は、正電圧発生手段および負電圧発生手段をさらに備える。正電圧発生手段は、外部から電源電圧を受け、所定の正電圧を発生する。負電圧発生手段は、外部から電源電圧を受け、所定の負電圧を発生する。

【0124】電子注入手段は、消去時に、正電圧発生手段からの正電圧および負電圧発生手段からの負電圧を受け、選択されたセクタに対応するワード線に所定の正電圧を印加しかつウェルに所定の負電圧を印加してトンネル現象により選択されたセクタ内の複数のメモリセルのコントロールゲートに電子を注入する第1の電圧印加手段を含む。

【0125】電子引抜き手段は、プログラム時に、正電圧発生手段からの正電圧および負電圧発生手段からの負電圧を受け、選択されたワード線に所定の負電圧を印加しかつ選択されたビット線に所定の正電圧を印加してトンネル現象により選択されたメモリセルのコントロールゲートから電子を引抜く第2の電圧印加手段を含む。

【0126】(10) 第10の発明

第10の発明に係る不揮発性半導体記憶装置は、複数の主ビット線に対応して設けられた複数の容量手段、および第2の接続手段をさらに備える。第2の接続手段は、プログラム時に、複数の容量手段を複数の主ビット線にそれぞれ接続する。

【0127】(11) 第11の発明

第11の発明に係る不揮発性半導体記憶装置においては、ソース線は、複数のセクタに対応して複数の部分に分離される。その不揮発性半導体記憶装置は、電位設定手段をさらに備える。電位設定手段は、消去時に、選択されたセクタに対応するソース線の部分と、非選択のセクタに対応するソース線の部分とを互いに異なる電位に設定する。

【0128】(12) 第12の発明

第12の発明に係る不揮発性半導体記憶装置は、容量手段および第3の接続手段をさらに備える。第3の接続手段は、消去時に、容量手段をソース線に接続する。

【0129】(13) 第13の発明

第13の発明に係る不揮発性半導体記憶装置においては、電子引抜き手段が、電圧印加手段を含む。電圧印加手段は、選択された主ビット線をデータに従って所定の電位にプリチャージしかつ選択されたワード線に所定の電圧を印加した後、ソース線を一時的に接地し、その後、選択されたワード線に負電圧を印加する。

(14) 第14の発明

第14の発明に係る不揮発性半導体記憶装置は、行および列に配設された複数のメモリセルを備えたメモリセルアレイを含む。各メモリセルは、コントロールゲート、フローティングゲート、ドレインおよびソースを有する。この不揮発性半導体記憶装置はさらに、各々がメモリセルアレイ内の対応する1つの列内に設けられた複数の主ビット線と、各々がメモリセルアレイ内の対応する1つの列内のメモリセルのドレインに接続された複数の副ビット線と、各々が外部から与えられるアドレス信号に応答して、複数の主ビット線の対応する1本を複数の副ビット線の対応する1本に接続する複数のスイッチングトランジスタと、各々がメモリセルアレイ内の対応する1つの行内のメモリセルのコントロールゲートに接続された複数のワード線と、複数のメモリセルのソースに接続されたソース線と、外部から与えられるアドレス信号に応答して、複数のワード線に選択的に負電圧を与える行デコーダ手段とを含む。

【0130】(15) 第15の発明

第15の発明に係る不揮発性半導体記憶装置は、半導体基板上に形成された主ビット線と、互いに直列に設けられ、かつ各々が基板上で主ビット線に平行に形成された第1および第2の副ビット線と、各々がセクタ選択信号に応答して、主ビット線を第1および第2の副ビット線の対応する1本に接続する第1および第2のスイッチングトランジスタと、各々が第1の副ビット線に接続された複数のメモリセルを含む第1のメモリセル群と、各々が第2の副ビット線に接続された複数のメモリセルを含む第2のメモリセル群とを含む。各メモリセルは、基板上に形成されたコントロールゲートおよびフローティングゲートと、基板領域に形成されたドレインおよびソースとを備える。各メモリセルは、ドレインを介して第1および第2の副ビット線の対応する1本に接続される。この不揮発性半導体記憶装置はさらに、基板領域に形成され、第1のメモリセル群における第2のメモリセル群に最も近くに置かれたメモリセルを第2のメモリセル群における第1のメモリセル群に最も近くに置かれたメモリセルから絶縁する絶縁層を含む。

【0131】(16) 第16の発明

第16の発明に係る不揮発性半導体記憶装置は、主ビット線と、互いに直列に設けられ、かつ各々が主ビット線に平行に形成された第1および第2の副ビット線と、各々がセクタ選択信号に応答して、主ビット線を第1および第2の副ビット線の対応する1本に接続する第1および第2のスイッチングトランジスタと、各々が第1の副ビット線に接続された $n$ 個( $n \geq 2$ )のメモリセルを含む第1のメモリセル群と、各々が第2の副ビット線に接続された $n$ 個のメモリセルを含む第2のメモリセル群とを含む。各メモリセルは、コントロールゲート、フローティングゲート、ドレインおよびソースを備える。各メモリセルは、ドレインを介して第1および第2の副ビッ

ト線の対応する1本に接続される。この不揮発性半導体記憶装置は、さらに、各々が第1のメモリセル群において第2のメモリセル群から離れる方向に置かれた第j番目( $j=1, 2, \dots, n$ )のメモリセルのコントロールゲートを第2のメモリセル群において第1のメモリセル群から離れる方向に置かれた第j番目のメモリセルのコントロールゲートに接続するn本の接続線と、外部から与えられるアドレス信号に应答して、n本の接続線の1本を選択する行デコーダ手段とを含む。

#### 【0132】(17) 第17の発明

第17の発明に係る不揮発性半導体記憶装置は、行および列に配設された複数のメモリセルを備えたメモリセルアレイを含む。各メモリセルは、コントロールゲート、フローティングゲート、ドレインおよびソースを有する。この不揮発性半導体記憶装置は、さらに、各々がメモリセルアレイ内の対応する1つの行内のメモリセルのコントロールゲートに接続された複数のワード線と、予め定められた正電圧を発生する手段と、予め定められた負電圧を発生する手段と、外部から与えられるアドレス信号に应答して、複数のワード線の1本を選択する行デコーダ手段と、正電圧、負電圧および外部から与えられるワード線電圧を受けるように接続され、外部から与えられるテストモード信号に应答して、外部から与えられるワード線電圧を行デコーダ手段に与えるスイッチング回路手段とを含む。行デコーダ手段は、P形およびN形の電界効果トランジスタを含む第1の相補型回路を含む。スイッチング回路手段は、P形およびN型の電界効果トランジスタを含む第2の相補型回路を含む。外部から与えられるワード線電圧は、第1および第2の相補型回路を介して、行デコーダ手段により選択されたワード線に与えられる。

#### 【0133】(18) 第18の発明

請求項18に記載の不揮発性半導体記憶装置は、第1および第2素子形成領域を含む主表面を有する半導体基板と、第1素子形成領域に形成され、コントロールゲートとフローティングゲートによって電気的に書込消去可能な複数のメモリトランジスタと、メモリトランジスタ上に形成され、分岐線を有し、分岐線が複数のメモリトランジスタの各ドレイン領域と電気的に接続された副ビット線と、第1素子形成領域に形成されたセレクトゲートトランジスタとを備えている。副ビット線はセレクトゲートトランジスタの一方のソース/ドレイン領域と電気的に接続されている。請求項1に記載の不揮発性半導体記憶装置はさらに、副ビット線上に形成され、セレクトゲートトランジスタの他方のソース/ドレイン領域と電気的に接続された主ビット線と、第1素子形成領域を囲むように半導体基板中に形成された第1ウェル領域と、第1ウェル領域を含むように半導体基板中に形成され、第1ウェル領域と異なる導電型の第2ウェル領域とを備えている。第1ウェル領域に電圧を印加したとき、第1

ウェル領域と第2ウェル領域との接合が逆バイアス状態となる。第2ウェル領域によって第1素子形成領域と第2素子形成領域とが絶縁分離される。

#### 【0134】(19) 第19の発明

請求項19に記載の不揮発性半導体記憶装置は、請求項1に記載の不揮発性半導体記憶装置に加え、さらに、第1ウェル領域に電圧を印加し、コントロールゲートに第1ウェル領域に印加した電圧と異なる符号の電圧を印加し、チャネル領域全面でのFN(Fowler Nordheim)トンネリング(チャネルFN)によって、キャリアをフローティングゲートに注入することにより、メモリトランジスタを消去状態にし、主ビット線に電圧を印加し、コントロールゲートに主ビット線に印加した電圧と異なる符号の電圧を印加し、ドレイン領域とフローティングゲートとの重なり部分でのFN(Fowler Nordheim)トンネリング(ドレインFN)によって、キャリアをフローティングゲートから引抜くことにより、メモリトランジスタを書込状態にしている。

#### 【0135】(20) 第20の発明

請求項20に記載の不揮発性半導体記憶装置は、主表面を有する第1導電型の基板と、この半導体基板の主表面に形成され、ビット線として機能する第2導電型の不純物領域と、この第2導電型の不純物領域を間に挟むように半導体基板の主表面上に絶縁膜を介在させて形成された第1および第2フローティングゲートと、第1および第2フローティングゲート上に延在するように絶縁膜を介在して形成されたコントロールゲートとを備えた不揮発性半導体記憶装置であることを前提とする。そして、第1フローティングゲートは不純物領域の一方端と部分的に重なる位置に形成され、第2フローティングゲートは不純物領域の他方端と重ならず離れた位置に形成されている。

#### 【0136】(21) 第21の発明

請求項21に記載の不揮発性半導体記憶装置では、上記の不純物領域が、相対的に高濃度である第2導電型の第1の不純物領域と、相対的に低濃度である第2導電型の第2の不純物領域とを有している。そして、第1フローティングゲートは第1および第2の不純物領域の一方端と部分的に重なる位置に形成され、第2フローティングゲートは第1の不純物領域の他方端とは重ならず離れた位置で、第2の不純物領域の他方端とは部分的に重なる位置に形成されている。

#### 【0137】(22) 第22の発明

請求項22に記載の不揮発性半導体記憶装置の情報のプログラミング方法によれば、まず、すべてのフローティングゲートにFN(Fowler Nordheim)現象によってチャネル領域全面から電子を注入する。この状態が消去状態となる。そして、フローティングゲートと不純物領域とが重なる領域でのFN現象によって、



所定のフローティングゲートから電子を引き抜くことによって情報を書込む。

【0138】

【作用】第1～第22の発明に係る不揮発性半導体記憶装置においては、消去時に、複数のメモリセルのフローティングゲートに電子が注入される。それにより、複数のメモリセルのしきい値電圧が上昇する。

【0139】プログラム時には、選択されたメモリセルのフローティングゲートから電子が引抜かれる。それにより、選択されたメモリセルのしきい値電圧が下降する。

【0140】したがって、消去前書込動作を行なうことなく、複数のメモリセルを一括消去することができる。また、過消去によりメモリセルがデプレッション化されることも回避される。

【0141】第2の発明に係る不揮発性半導体記憶装置においては、ホットエレクトロンの注入により消去が行なわれる。

【0142】第3および第4の発明に係る不揮発性半導体記憶装置においては、トンネル現象により消去が行なわれる。したがって、消去時の消費電力が低減される。

【0143】第5および第6の発明に係る不揮発性半導体記憶装置においては、トンネル現象によりプログラムが行なわれる。したがって、プログラム時の消費電力が低減される。

【0144】第7の発明に係る不揮発性半導体記憶装置においては、選択されたビット線が所定電位にプリチャージされかつ選択されたワード線に所定の電位が印加された後、ソース線が一時的に接地される。それにより、しきい値電圧が所定の値以下に下降してプログラムされたメモリセルには電流が流れる。したがって、ビット線の電圧が低下する。

【0145】一方、しきい値電圧が所定の値以下に下降していないメモリセルには電流が流れない。それにより、ビット線の電圧は保持される。したがって、次にワード線に負電圧が印加されると、しきい値電圧が高いメモリセルのみがプログラムされる。その結果、プログラム時のベリファイ動作が不必要となる。

【0146】第8～第13の発明に係る不揮発性半導体記憶装置においては、主および副ビット線構成により、消去単位の細分化が可能となる。また、プログラム時にセクタ間でのディスターブが回避される。

【0147】第9の発明に係る不揮発性半導体基板においては、トンネル現象により消去およびプログラムが行なわれる。したがって、消去時およびプログラム時の消費電力が低減される。それにより、単一電源により供給される外部電源電圧から内部で正電圧および負電圧を発生することが可能となる。

【0148】第10の発明に係る不揮発性半導体記憶装置においては、プログラム時に、各主ビット線の電圧に

より容量手段に電荷が蓄積される。そのため、複数の主ビット線を高速にスイッチングしたときに、各主ビット線の電圧の減少が抑えられる。したがって、安定にかつ短時間でプログラムが行なわれる。

【0149】第11の発明に係る不揮発性半導体記憶装置においては、消去時に、選択されたセクタ内のメモリセルのソース電位と非選択のセクタ内のメモリセルのソース電位とを互いに異ならせることによって、選択されたセクタ内のメモリセルを安定に消去することができ、かつ非選択のセクタ内のメモリセルのデータ保護を確実に行なうことができる。

【0150】第12の発明に係る不揮発性半導体記憶装置においては、消去時に、容量手段をソース線に接続することによって、各メモリセルのソース電位のリーク時間を長くすることができる。したがって、メモリセルの消去を安定に行なうことができる。

【0151】第13の発明に係る不揮発性半導体記憶装置においては、選択された主ビット線が所定電位にプリチャージされかつ選択されたワード線に所定の電圧が印加された後、ソース線が一時的に接地される。それにより、しきい値電圧が所定の値以下に下降してプログラムされたメモリセルには電流が流れる。したがって、主ビット線の電圧が低下する。

【0152】一方、しきい値電圧が所定の値以下に下降していないメモリセルには電流が流れない。それにより、主ビット線の電圧は保持される。したがって、次にワード線に負電圧が印加されると、しきい値電圧が高いメモリセルのみがプログラムされる。その結果、プログラム時のベリファイ動作が不必要となる。第14の発明に係る不揮発性半導体記憶装置においては、行デコーダ手段が複数のワード線に選択的に負電圧を与える。したがって、行デコーダ手段によって選択されたワード線および選択されないワード線に与えられる電圧の差が減少され得る。その結果、行デコーダ手段をより少ない占有領域内に形成することができる。第15の発明に係る不揮発性半導体記憶装置においては、第1および第2のメモリセル群において最も近くに置かれたメモリセルが、基板内に形成された絶縁層により絶縁される。したがって、分離のためのトランジスタを用いる場合と比較して、より高い集積度が得られる。

【0153】第16の発明に係る不揮発性半導体記憶装置においては、n本の接続線が上記の態様でそれぞれのメモリセルに接続されており、行デコーダ手段が、外部から与えられるアドレス信号に応答して、n本の接続線の1本を選択する。したがって、n本の接続線の行デコーダ手段への接続態様が簡単化されるので、より高い集積度が得られる。第17の発明に係る不揮発性半導体記憶装置においては、テストモード動作において、外部から与えられるワード線電圧が第1および第2の相補型回路を介してワード線に伝えられるので、電圧経路におい

で電圧レベルが減少されず、したがって選択されたワード線に所望の電圧を与えることができる。したがって、ワード線に関するテストを所望のワード線電圧の条件の下で行なうことができる。

【0154】請求項18に記載の不揮発性半導体記憶装置によれば、第2ウェル領域は第1ウェル領域に電圧を印加したとき、第1ウェル領域と第2ウェル領域との接合は逆バイアス状態となる。このため第1ウェル領域に電圧を印加しても電流は第2素子形成領域には流れない。したがって、請求項18に記載の不揮発性半導体記憶装置では、第1ウェル領域に電圧を印加できる。コントロールゲートに第1ウェル領域に印加した電圧と異なる符号の電圧を印加すると、半導体基板内の最大電圧を低くしながらも、第1ウェル領域とコントロールゲートとの電位差は相対的に大きくでき、チャネルFNを起こすことができる。したがってチャネルFNによってフローティングゲートにキャリアを注入することが可能となる。請求項19に記載の不揮発性半導体記憶装置はこれを消去動作に利用している。

【0155】また請求項18に記載の不揮発性半導体記憶装置によれば、複数のメモリトランジスタの各ドレイン領域には副ビット線が接続されている。このため読出動作時には、他のメモリトランジスタを動作させることは不要なので、NAND型に比べ読出動作を高速に行なえる。

【0156】さらに請求項18に記載の不揮発性半導体記憶装置によれば、ビット線を主ビット線と副ビット線とに分割している。そして主ビット線と副ビット線とをセレクトゲートトランジスタによって導通させている。このため一方の副ビット線と他方の副ビット線とは主ビット線を共通にしながらも、電気的に分離することができる。したがって一方の副ビット線を用いて書込動作をしているとき、他方の副ビット線は一方の副ビット線と電気的に分離できるので、他方の副ビット線に接続されているメモリトランジスタ群はこの書込動作ではドレインディスタースは生じない。

【0157】請求項18に記載の不揮発性半導体記憶装置は、データの書込動作をドレインFNによって行なうことができる。このため高い効率で書込動作を行なうことができビット線に流れる電流を小さくすることができる。ビット線の電流を小さくできるので、ビット線の材料として抵抗値の大きいものを採用することができ、したがって、アルミ以外の材料を用いてビット線を形成することができる。したがってビット線を主ビット線と副ビット線との2層構造にすることが可能となる。

【0158】また請求項18に記載の不揮発性半導体記憶装置は、ドレインFNによってメモリトランジスタを書込状態にできる。したがってチャネルホットエレクトロンを用いて書込動作を行なうNOR型に比べ書込効率を向上させることができ、よって消費電力を低くするこ

とができる。

【0159】請求項20に記載の不揮発性半導体記憶装置では、第2フローティングゲートと不純物領域とが重ならないように形成されている。それにより、すべてのフローティングゲートに電子を注入することによって消去状態とした後、第1フローティングゲートから電子を引き抜くことによって情報の書込みを行なう場合に、第1フローティングゲートと隣接する第2フローティングゲートから電子が引き抜かれるといった状況を回避することが可能となる。すなわち、誤動作を引き起こすことを防止できる。

【0160】請求項21に記載の不揮発性半導体記憶装置によっても、第1の不純物領域の他方端と第2フローティングゲートとが重ならないため、上記の場合と同様に、不揮発性半導体記憶装置の誤動作を引き起こすといった状況を回避できる。

【0161】

【実施例】まず、以下に説明する第1～第11の実施例におけるプログラムおよび消去動作としきい値電圧との関係を従来例と比較して説明する。

【0162】従来例では、図1の(b)に示すように、プログラム動作によりメモリセルのしきい値電圧が上昇し、消去動作によりメモリセルのしきい値電圧が下降する。これに対して、実施例では、図1の(a)に示すように、プログラム動作によりメモリセルのしきい値電圧が下降し、消去動作によりメモリセルのしきい値電圧が上昇する。

【0163】すなわち、従来例では、図2の(b)に示すように、消去状態にあるメモリセルではフローティングゲートから電子が放出されており、そのしきい値電圧は低くなっている。また、プログラム状態にあるメモリセルではフローティングゲートに電子が注入されており、そのしきい値電圧は高くなっている。

【0164】これに対して、実施例では、図2の(a)に示すように、消去状態にあるメモリセルではフローティングゲートに電子が注入されており、そのしきい値電圧は高くなっている。また、プログラム状態にあるメモリセルではフローティングゲートから電子が放出されており、そのしきい値電圧は低くなっている。

【0165】消去状態がデータ“1”に対応し、プログラム状態がデータ“0”に対応する点は、実施例および従来例において同様である。

【0166】このように、実施例では、消去動作により各メモリセルのしきい値電圧が高くなるので、図3に示すように、消去前書込動作を行なうことなく、一括消去動作によりすべてのメモリセルのしきい値電圧を電源電圧 $V_{cc}$ よりも高くすることができる。

【0167】また、図4に示すように、複数のメモリセルのしきい値電圧にばらつきがあっても、一括消去動作により一部のメモリセルがデプレッション化することは

ない。

【0168】(1) 第1の実施例(図5～図8)

(a) フラッシュメモリの全体の構成(図5)

図5は、第1の実施例によるフラッシュメモリの全体の構成を示すブロック図である。図5のフラッシュメモリの全体の構成は各動作における電圧の印加条件が異なる点を除いて、図131の従来のフラッシュメモリと同様である。図5のフラッシュメモリもチップCH上に形成される。

【0169】(b) メモリセルのプログラムおよび消去(図6)

図6の(a)にプログラム時におけるメモリセルへの電圧印加条件を示す。また、図6の(b)に消去時におけるメモリセルへの電圧印加条件を示す。

【0170】プログラム時には、図6の(a)に示すように、ドレイン1002に高電圧 $V_{pp}$ (通常12V程度)を印加し、コントロールゲート1006に0Vを印加し、ソース1003をフローティング状態にする。それにより、フローティングゲート1005とドレイン1002との間に高電界が発生し、トンネル現象によりフローティングゲート1005からドレイン1002に電子が放出される。その結果、メモリセルのしきい値電圧が下降する。

【0171】消去時には、図6の(b)に示すように、ドレイン1002に0Vを印加し、コントロールゲート1006に高電圧 $V_{pp}$ (通常12V程度)を印加し、ソース1003に所定の高電圧 $V_{SL}$ (6V)を印加する。それにより、ソース1003の近傍でアバランシェ降伏によるホットエレクトロンまたはチャネルホットエレクトロンが発生する。これらのホットエレクトロンは、コントロールゲート1006の高電圧 $V_{pp}$ により加速され、絶縁膜1004によるエネルギー障壁を飛越えて、フローティングゲート1005に注入される。その結果、メモリセルのしきい値電圧が上昇する。

【0172】このように、プログラム時にはトンネル現象によりフローティングゲート1005からドレイン1002に電子が放出される。そのため、チャネル方向または基板方向の電界を弱めるために、ドレイン1002に沿って $N^-$ 型不純物領域1002bが設けられている。

【0173】また、消去時にはホットエレクトロンによりソース1003の近傍からフローティングゲート1005に電子が注入される。そのため、チャネル方向または基板方向に、より高電界が発生するように、ソース1003に沿って $P^+$ 型不純物領域1003bが設けられている。

【0174】なお、 $P^-$ ウェル1008は $P^-$ 型半導体基板であってもよい。

【0175】(c) フラッシュメモリの動作(図7)  
次に、フラッシュメモリの一括消去動作、プログラム動

作および読出動作を図7を参照しながら説明する。図7には、メモリアレイ1010に含まれる一部のメモリセルM11～M13, M21～M23, M31～M33が示されている。

【0176】(i) 一括消去動作(図7の(a))

まず、制御信号バッファ1120を介して制御回路1130に、一括消去動作を指定する制御信号が与えられる。また、 $V_{pp}/V_{cc}$ 切換回路1090には外部から高電圧 $V_{pp}$ が与えられる。

【0177】 $V_{pp}/V_{cc}$ 切換回路1090は、Xデコーダ1030に高電圧 $V_{pp}$ を与える。Xデコーダ1030は、すべてのワード線WL～WL3を選択し、それらに高電圧 $V_{pp}$ を印加する。Yデコーダ1040は、Yゲート1050に含まれるすべてのYゲートトランジスタをオンさせる。書込回路1080は、Yゲート1050を介して0Vをすべてのビット線BL1～BL3に印加する。ソース制御回路1110は、ソース線SLに所定の高電圧 $V_{SL}$ ( $V_{SL} < V_{pp}$ )を印加する。

【0178】このようにして、すべてのメモリセルM11～M33に、図6の(b)に示されるように電圧が印加される。その結果、すべてのメモリセルM11～M33が消去される。

【0179】(ii) プログラム動作(図7の(b))

ここでは、メモリセルM12をプログラムするものと仮定する。すなわち、メモリセルM12にデータ“0”を書込み、他のメモリセルにデータ“1”を書き込む。

【0180】まず、制御信号バッファ1120を介して制御回路1130に、プログラム動作を指定する制御信号が与えられる。また、 $V_{pp}/V_{cc}$ 切換回路1090には外部から高電圧 $V_{pp}$ が与えられる。

【0181】Xデコーダ1030は、アドレスバッファ1020から与えられるXアドレス信号に応答してワード線WL2を選択し、選択されたワード線WL2に0Vを印加し、非選択のワード線WL1, WL3には電源電圧 $V_{cc}$ を印加する。

【0182】 $V_{pp}/V_{cc}$ 切換回路1090は、書込回路1080に高電圧 $V_{pp}$ を与える。外部からデータ入出力バッファ1070を介して書込回路1080に順次データが与えられる。このとき、Yデコーダ1040は、アドレスバッファ1020から与えられるYアドレス信号に応答してYゲート1050内のYゲートトランジスタを順次オンさせる。書込回路1080は、Yゲート1050を介してビット線BL1に高電圧 $V_{pp}$ を印加し、かつビット線BL2, BL3に電源電圧 $V_{cc}$ を印加する。ソース制御回路1110は、ソース線SLをフローティング状態にする。

【0183】このようにして、メモリセルM12に、図6の(a)に示されるように電圧が印加される。このとき、他のメモリセルは次のいずれかの状態になってい

る。

【0184】(A) ドレインに高電圧 $V_{pp}$ が印加され、コントロールゲートに電源電圧 $V_{cc}$ が印加され、ソースはフローティング状態となっている。

【0185】(B) ドレインに電源電圧 $V_{cc}$ が印加され、コントロールゲートに0Vが印加され、ソースはフローティング状態になっている。

【0186】(C) ドレインに電源電圧 $V_{cc}$ が印加され、コントロールゲートに電源電圧 $V_{cc}$ が印加され、ソースはフローティング状態になっている。

【0187】その結果、メモリセルM12のフローティングゲートとドレインとの間のみに高電界が発生し、メモリセルM12のみがプログラムされる。

【0188】(iii) 読出動作(図7の(c))  
読出動作は、図137を用いて説明した動作とほぼ同様である。ここでは、メモリセルMC12からデータを読出すものと仮定する。まず、制御信号バッファ1120を介して制御回路1130に、読出動作を指定する制御信号が与えられる。

【0189】Xデコーダ1030は、アドレスバッファ1020から与えられるXアドレス信号に応答して、ワード線WL2を選択し、それに電源電圧 $V_{cc}$ を印加する。このとき、他のワード線WL1, WL3は0Vに保たれる。Yデコーダ1040は、アドレスバッファ1020から与えられるYアドレス信号に応答して、Yゲート1050内の1つのYゲートトランジスタをオンさせる。ソース制御回路1110はソース線SLを接地する。

【0190】それにより、ビット線BL1に読出電圧 $V_r$ が現れる。この読出電圧 $V_r$ がセンスアンプ1060により検知および増幅され、データ入出力バッファ1070を介して外部に出力される。

【0191】(d) 書換動作(図8)  
このフラッシュメモリにおけるデータの書換動作を図8のフローチャートを参照しながら説明する。

【0192】まず、すべてのメモリセルにデータ“1”が記憶されているか否かを判別する(ステップS1)。すべてのメモリセルにデータ“1”が記憶されていないときには、一括消去動作を行なう(ステップS2)。その後、プログラム動作を行なう(ステップS3)。このように、従来例のような書込前消去動作を行なうことなく、データの書換を行なうことができる。

【0193】(e) 変形例  
プログラム時に、非選択のビット線BL2, BL3をフローティング状態にしてもよい。このとき、非選択のメモリセルは次のいずれかの状態になっている。

【0194】(A) ドレインに高電圧 $V_{pp}$ が印加され、コントロールゲートに電源電圧 $V_{cc}$ が印加され、ソースはフローティング状態になっている。

【0195】(B) ドレインはフローティング状態に

なっており、コントロールゲートに0Vが印加され、ソースはフローティング状態になっている。

【0196】(C) ドレインはフローティング状態になっており、コントロールゲートに電源電圧 $V_{cc}$ が印加され、ソースはフローティング状態になっている。

【0197】この場合にも、メモリセルM12のフローティングゲートとドレインとの間のみに高電界が発生し、トンネル現象によりメモリセルM12のみがプログラムされる。

【0198】プログラム時に、ソース線SLに電源電圧 $V_{cc}$ を印加してもよい。このとき、メモリセルM12のドレインには高電圧 $V_{pp}$ が印加され、コントロールゲートには0Vが印加され、ソースには電源電圧 $V_{cc}$ が印加される。他のメモリセルは次のいずれかの状態になっている。

【0199】(A) ドレインに高電圧 $V_{pp}$ が印加され、コントロールゲートに電源電圧 $V_{cc}$ が印加され、ソースに電源電圧 $V_{cc}$ が印加されている。

【0200】(B) ドレインに電源電圧 $V_{cc}$ が印加され、コントロールゲートに0Vが印加され、ソースに電源電圧 $V_{cc}$ が印加されている。

【0201】(C) ドレインに電源電圧 $V_{cc}$ が印加され、コントロールゲートに電源電圧 $V_{cc}$ が印加され、ソースに電源電圧 $V_{cc}$ が印加されている。

【0202】この場合にも、メモリセルM12のフローティングゲートとドレインとの間のみに高電界が発生し、トンネル現象によりメモリセルM12のみがプログラムされる。

【0203】プログラム時に、非選択のビット線BL2, BL3をフローティング状態にしつつソース線SLに電源電圧 $V_{cc}$ を印加してもよい。このとき、メモリセルM12のドレインには高電圧 $V_{pp}$ が印加され、コントロールゲートには0Vが印加され、ソースには電源電圧 $V_{cc}$ が印加される。また、他のメモリセルは次のいずれかの状態になっている。

【0204】(A) ドレインに高電圧 $V_{pp}$ が印加され、コントロールゲートに電源電圧 $V_{cc}$ が印加され、ソースに電源電圧 $V_{cc}$ が印加されている。

【0205】(B) ドレインはフローティング状態になっており、コントロールゲートに0Vが印加され、ソースに電源電圧 $V_{cc}$ が印加されている。

【0206】(C) ドレインはフローティング状態になっており、コントロールゲートに電源電圧 $V_{cc}$ が印加され、ソースに電源電圧 $V_{cc}$ が印加されている。

【0207】この場合にも、メモリセルM12のフローティングゲートとドレインとの間のみに高電界が発生し、トンネル現象によりメモリセルM12のみがプログラムされる。

【0208】また、一括消去動作後にベリファイ動作を行なってもよい。さらに、一括消去動作前に、すべての

メモリセルのコントロールゲートに0Vを印加しかつP-ウェル（またはP-型半導体基板）に高電圧 $V_{pp}$ を印加することによって、すべてのメモリセルのコントロールゲートから電子を引抜き、その後、ペリファイ動作を行ないながら一括消去動作を行なってもよい。それにより、一括消去されたメモリセルのしきい値電圧のばらつきをさらに小さくすることができる。

#### 【0209】(f) 第1の実施例の効果

従来のフラッシュメモリでは電子がドレイン側からフローティングゲートに注入される。そのため、読出動作時にビット線の電位が高くなると、選択されているメモリセルにドレインから電子が注入され、ソフトライトが起こる可能性がある。

【0210】これに対して、第1の実施例のフラッシュメモリでは、電子がソース側からフローティングゲートに注入される。そのため、読出動作時に、ソフトライトが起こりにくい。

【0211】なお、ペリファイ動作を行ないながらプログラム動作を行なってもよい。それにより、プログラムされたメモリセルのしきい値電圧のばらつきを小さくすることができる。

#### 【0212】(2) 第2の実施例（図9、図10）

第2の実施例によるフラッシュメモリの全体の構成は、図5に示される構成と同様である。

#### 【0213】(a) メモリセルのプログラムおよび消去（図9）

図9の(a)にプログラム時におけるメモリセルへの電圧印加条件を示す。また、図9(b)に消去時におけるメモリセルへの電圧印加条件を示す。プログラム時の電圧印加条件は、図6の(a)に示した電圧印加条件と同様である。

【0214】消去時には、図9の(b)に示すように、ドレイン1002に0Vを印加し、コントロールゲート1006に高電圧 $V_{pp}$ （通常12V程度）を印加し、ソース1003に0Vを印加する。それにより、ソース1003とドレイン1002との間の領域にチャンネルc<sub>h</sub>が形成され、そのチャンネルc<sub>h</sub>とフローティングゲート1005との間に高電界が発生する。トンネル現象によりチャンネルc<sub>h</sub>からフローティングゲート1005に電子が注入される。その結果、メモリセルのしきい値電圧が上昇する。

【0215】この実施例では、プログラム時にはトンネル現象によりフローティングゲート1005からドレイン1002に電子が放出される。そのため、チャンネル方向または基板方向の電界を弱めるために、ドレイン1002に沿ってN<sup>-</sup>型不純物領域1002cが設けられている。

【0216】なお、ソース1003に沿ってN<sup>-</sup>型不純物領域1003cを設けてもよい。このように、ドレイン側およびソース側の両方にN<sup>-</sup>型不純物領域1002

c、1003cを設けると、製造工程が少なくなる。

#### 【0217】(b) フラッシュメモリの動作（図10）

次に、フラッシュメモリの一括消去動作、プログラム動作および読出動作を図10を参照しながら説明する。プログラム動作および読出動作は第1の実施例と同様である。したがって、以下、一括消去動作を説明する。

【0218】まず、制御信号バッファ1120を介して制御回路1130に、一括消去動作を指定する制御信号が与えられる。また、 $V_{pp}/V_{cc}$ 切換回路1090には外部から高電圧 $V_{pp}$ が与えられる。

【0219】 $V_{pp}/V_{cc}$ 切換回路1090は、Xデコード1030に高電圧 $V_{pp}$ を与える。Xデコード1030は、すべてのワード線WL1~WL3を選択し、それらに高電圧 $V_{pp}$ を印加する。Yデコード1040は、Yゲート1050に含まれるすべてのYゲートトランジスタをオンさせる。書込回路1080はYゲート1050を介して0Vをすべてのビット線BL1~BL3に印加する。ソース制御回路1110はソース線SLに0Vを印加する。

【0220】このようにして、すべてのメモリセルM11~M33に、図9の(b)に示されるように電圧が印加される。その結果、すべてのメモリセルM11~M33が消去される。

【0221】なお、一括消去動作時に、P-ウェル（またはP-型半導体基板）に積極的に負の電圧を印加してもよい。

【0222】データの書換えは、図8に示される手順で行なわれる。したがって、従来例のような消去前書込動作を行なうことなく、データの書換えを行なうことができる。

【0223】(3) 第3の実施例（図11~図14）  
図11は、第3の実施例によるフラッシュメモリの全体の構成を示すブロック図である。図11のフラッシュメモリが図5のフラッシュメモリと異なるのは次の点である。

【0224】外部から与えられる負電圧 $-V_{ee}$ を受け、所定の負電圧を発生する負電圧制御回路1140がさらに設けられている。また、Xデコード1030は、図12に示すように、複数の高電圧スイッチ1302

（図132参照）の代わりに、複数のワード線WLにそれぞれ接続される複数の電位制御スイッチ1303を含む。各電位制御スイッチ1303は、 $V_{pp}/V_{cc}$ 切換回路1090から与えられる高電圧 $V_{pp}$ または電源電圧 $V_{cc}$ あるいは負電圧制御回路1140から与えられる負電圧 $-V_{ee}$ を対応するワード線WLに印加する。

#### 【0225】(b) メモリセルのプログラムおよび消去（図13）

図13の(a)にプログラム時におけるメモリセルへの

電圧印加条件を示す。また、図13の(b)に消去時におけるメモリセルへの電圧印加条件を示す。

【0226】プログラム時には、図13の(a)に示すように、ドレイン1002に電源電圧 $V_{cc}$ （通常5V程度）を印加し、コントロールゲート1006に負電圧 $-V_{ee}$ （-12V）を印加し、ソース1003をフローティング状態にする。それにより、フローティングゲート1005とドレイン1002との間に高電界が発生し、トンネル現象によりフローティングゲート1005からドレイン1002に電子が放出される。その結果、メモリセルのしきい値電圧が下降する。

【0227】消去時の電圧印加条件は、図6の(b)に示した電圧印加条件と同様である。

【0228】このように、プログラム時にはトンネル現象によりフローティングゲート1005からドレイン1002に電子が放出される。そのため、チャネル方向または基板方向の電界を弱めるために、ドレイン1002に沿って $N^-$ 型不純物領域1002dが設けられている。

【0229】また、消去時にはホットエレクトロンによりソース1003の近傍からフローティングゲート1005に電子が注入される。そのため、チャネル方向または基板方向に、より高電界が発生するように、ソース1003に沿って $P^+$ 型不純物領域1003dが設けられている。

【0230】(c) フラッシュメモリの動作(図14)

次に、フラッシュメモリの一括消去動作、プログラム動作および読出動作を図14を参照しながら説明する。一括消去動作および読出動作は、第1の実施例と同様である。したがって、以下、プログラム動作を説明する。

【0231】ここでは、メモリセルM12をプログラムするものと仮定する。すなわち、メモリセルM12にデータ“0”を書込み、他のメモリセルにデータ“1”を書き込む。

【0232】まず、制御信号バッファ1120を介して制御回路1130に、プログラム動作を指定する制御信号が与えられる。また、負電圧制御回路1140には外部から負電圧 $-V_{ee}$ が与えられる。

【0233】Xデコーダ1030は、アドレスバッファ1020から与えられるXアドレス信号に応答してワード線WL2を選択し、選択されたワード線WL2に負電圧制御回路1140からの負電圧 $-V_{ee}$ を印加し、非選択のワード線WL1, WL3には0Vを印加する。

【0234】 $V_{pp}/V_{cc}$ 切換回路1090は、書込回路1080に電源電圧 $V_{cc}$ を与える。外部からデータ入出力バッファ1070を介して書込回路1080に順次データが与えられる。このとき、Yデコーダ1040は、アドレスバッファ1020から与えられるYアドレス信号に応答して、Yゲート1050内のYゲートト

ランジスタを順次オンさせる。書込回路1080は、Yゲート1050を介してビット線BL1に電源電圧 $V_{cc}$ を印加し、ビット線BL2, BL3に0Vを印加する。ソース制御回路1110は、ソース線SLをフローティング状態にする。

【0235】このようにして、メモリセルM12に、図13の(a)に示されるように電圧が印加される。このとき、他のメモリセルは次のいずれかの状態になっている。

【0236】(A) ドレインに電源電圧 $V_{cc}$ が印加され、コントロールゲートに0Vが印加され、ソースはフローティング状態になっている。

【0237】(B) ドレインに0Vが印加され、コントロールゲートに負電圧 $-V_{ee}$ が印加され、ソースはフローティング状態になっている。

【0238】(C) ドレインに0Vが印加され、コントロールゲートに0Vが印加され、ソースはフローティング状態になっている。

【0239】(e) 変形例

プログラム時に、非選択のビット線BL2, BL3をフローティング状態にしてもよい。このとき、非選択のメモリセルは次のいずれかの状態になっている。

【0240】(A) ドレインに電源電圧 $V_{cc}$ が印加され、コントロールゲートに0Vが印加され、ソースはフローティング状態になっている。

【0241】(B) ドレインはフローティング状態になっており、コントロールゲートに負電圧 $-V_{ee}$ が印加され、ソースはフローティング状態になっている。

【0242】(C) ドレインはフローティング状態になっており、コントロールゲートに0Vが印加され、ソースはフローティング状態になっている。

【0243】この場合も、メモリセルM12のフローティングゲートとドレインとの間のみに高電界が発生し、トンネル現象によりメモリセルM12のみがプログラムされる。

【0244】プログラム時に、非選択のビット線をフローティング状態にしかつソース線SLに0Vを印加してもよい。このとき、メモリセルM12のドレインには電源電圧 $V_{cc}$ が印加され、コントロールゲートには負電圧 $-V_{ee}$ が印加され、ソースには0Vが印加される。他のメモリセルは次のいずれかの状態になっている。

【0245】(A) ドレインに電源電圧 $V_{cc}$ が印加され、コントロールゲートに0Vが印加され、ソースに0Vが印加されている。

【0246】(B) ドレインはフローティング状態になっており、コントロールゲートに負電圧 $-V_{ee}$ が印加され、ソースに0Vが印加されている。

【0247】(C) ドレインはフローティング状態になっており、コントロールゲートに0Vが印加され、ソースに0Vが印加されている。

【0248】この場合も、メモリセルM12のフローティングゲートとドレインとの間のみに高電界が発生し、トンネル現象によりメモリセルM12のみがプログラムされる。

【0249】第3の実施例において、一括消去動作を図10に示される第2の実施例と同様に行なってもよい。各メモリセルには、図9の(b)に示したように電圧が印加される。

【0250】この場合には、フローティングゲートへの電子の注入およびフローティングゲートからの電子の放出をトンネル現象を利用して行なうことになるので、消費電力が低減される。そのため、外部から与えられる電源電圧から高電圧および負電圧を内部で発生することができる。

【0251】(4) 第4の実施例(図15～図16) 第4の実施例によるフラッシュメモリの全体の構成は図5に示される構成と同様である。また、プログラム時および消去時のメモリセルへの電圧印加条件は、図6の(a)および(b)に示した電圧印加条件と同様である。第4の実施例は、制御方法においてのみ第1の実施例と異なる。

【0252】(a) フラッシュメモリの動作(図15)

次に、フラッシュメモリのページ一括消去動作、プログラム動作および読出動作を図15を参照しながら説明する。プログラム動作および読出動作は、第1の実施例と同様である。したがって、以下、ページ一括消去動作を説明する。

【0253】1つのワード線に接続されるすべてのメモリセルをページと呼ぶ。ページ一括消去動作は、ページ単位で一括消去が行なわれる。ここでは、ワード線WL2に対応するページの一括消去動作を説明する。

【0254】まず、制御信号バッファ1120を介して制御回路1130に、ページ一括消去動作を指定する制御信号が与えられる。また、 $V_{pp}/V_{cc}$  切換回路1090には外部から高電圧 $V_{pp}$ が与えられる。

【0255】 $V_{pp}/V_{cc}$  切換回路1090は、Xデコーダ1030に高電圧 $V_{pp}$ を与える。Xデコーダ1030は、アドレスバッファ1020から与えられるXアドレス信号に应答して、ワード線WL2を選択し、選択されたワード線WL2に高電圧 $V_{pp}$ を印加し、非選択のワード線WL1、WL3に0Vを印加する。Yデコーダ1040は、Yゲート1050に含まれるすべてのYゲートトランジスタをオンさせる。書込回路1080は、Yゲート1050を介して0Vをすべてのビット線BL1～BL3に印加する。ソース制御回路1110は、ソース線SLに所定の高電圧 $V_{SL}$  ( $V_{SL} < V_{pp}$ )を印加する。

【0256】このようにして、ワード線WL2に接続されるメモリセルM12、M22、M32に、図6の

(b)に示されるように電圧が印加される。その結果、メモリセルM12、M22、M32が消去される。

【0257】非選択のワード線WL1、WL3に接続される各メモリセルにおいては、ドレイン1002に0Vが印加され、ソース1003に高電圧 $V_{SL}$ が印加され、コントロールゲート1006に0Vが印加される。そのため、ホットエレクトロンが絶縁膜1004によるエネルギー障壁を飛越えてフローティングゲート1005に注入される可能性は少ない。したがって、選択されたワード線WL2に接続されるメモリセルのみが一括消去される。

【0258】このように、第4の実施例では、メモリアレイ単位でなく、ページ単位で一括消去動作が行なわれる。

【0259】(b) 書換動作(図16)

第4の実施例によるフラッシュメモリにおけるデータの書換動作を図16のフローチャートを参照しながら説明する。

【0260】まず、すべてのメモリセルにデータ“1”が記憶されているか否かを判別する(ステップS11)。すべてのメモリセルにデータ“1”が記憶されていないときには、書換えるべきページに関してページ一括消去動作を行なう(ステップS12)。その後、プログラム動作を行なう(ステップS13)。

【0261】このように、従来例のような書込前消去動作を行なうことなく、ページ単位でデータの書換えを行なうことができる。

【0262】(5) 第5の実施例(図17)

第5の実施例によるフラッシュメモリの全体の構成は、図5に示される構成と同様である。また、プログラム時および消去時のメモリセルへの電圧印加条件は、図9の(a)および(b)に示した電圧印加条件と同様である。第5の実施例は、制御方法においてのみ第2の実施例と異なる。

【0263】第5の実施例によるフラッシュメモリのページ一括消去動作、プログラム動作および読出動作を図17を参照しながら説明する。プログラム動作および読出動作は第2の実施例と同様である。したがって、以下、ページ一括消去動作を説明する。ここでは、ワード線WL2に対応するページの一括消去動作を説明する。

【0264】まず、制御信号バッファ1120を介して制御回路1130に、ページ一括消去動作を指定する制御信号が与えられる。また、 $V_{pp}/V_{cc}$  切換回路1090には外部から高電圧 $V_{pp}$ が与えられる。

【0265】 $V_{pp}/V_{cc}$  切換回路1090は、Xデコーダ1030に高電圧 $V_{pp}$ を与える。Xデコーダ1030は、アドレスバッファ1020から与えられるXアドレス信号に应答して、ワード線WL2を選択し、その選択されたワード線WL2に高電圧 $V_{pp}$ を印加し、非選択のワード線WL1、WL3に0Vを印加する。Y

デコーダ1040は、Yゲート1050に含まれるすべてのYゲートトランジスタをオンさせる。書込回路1080は、Yゲート1050を介して0Vをすべてのビット線BL1～BL3に印加する。ソース制御回路1110は、ソース線SLに0Vを印加する。

【0266】このようにして、ワード線WL2に接続されるメモリセルM12、M22、M32に、図9の(b)に示されるように電圧が印加される。その結果、メモリセルM12、M22、M32が消去される。

【0267】非選択のワード線WL1、WL3に接続される各メモリセルにおいては、ドレイン1002、ソース1003およびコントロールゲート1006に0Vが印加される。そのため、フローティングゲート1005とソース1003との間には高電界は発生せず、トンネル現象により電子がフローティングゲート1005に注入されることはない。したがって、選択されたワード線に接続されたメモリセルのみが一括消去される。

【0268】このように、第5の実施例においても、メモリアレイ単位ではなく、ページ単位で一括消去を行なうことができる。

【0269】データの手書き換えは、図16に示される手順で行なわれる。したがって、従来例のような消去前書込動作を行なうことなく、ページ単位でデータの手書き換えを行なうことができる。

【0270】(6) 第6の実施例(図18～図33)  
(a) フラッシュメモリの全体の構成(図18、図19)

図18は、第6の実施例によるフラッシュメモリの全体の構成を示すブロック図である。また、図19は、メモリアレイおよびそれに関連する部分の詳細な構成を示す回路図である。

【0271】図18のフラッシュメモリが図131に示す従来のフラッシュメモリと異なるのは次の点である。メモリアレイ1010aが複数のセクタに分割されている。図18の例では、メモリアレイ1010aがセクタSE1、SE2に分割されている。メモリアレイ1010aは、セクタSE1、SE2にそれぞれ対応するセレクトゲートSG1、SG2を含む。

【0272】メモリアレイ1010aは、P-ウェル1008内に形成される。図131に示す $V_{pp}/V_{cc}$ 切替回路1090は設けられず、高電圧発生回路1210、1220、負電圧発生回路1230、1240、ウェル電位発生回路1250およびセレクトゲートデコーダ1260がさらに設けられる。高電圧発生回路1210、1220は外部から電源電圧 $V_{cc}$ (たとえば5V)を受け、高電圧(たとえば10V)を発生する。負電圧発生回路1230、1240は、外部から電源電圧 $V_{cc}$ を受け、負電圧(たとえば-10V)を発生する。ウェル電位発生回路1250は消去時にP-ウェル1008に負電圧(たとえば-5V)を印加する。セ

レクトゲートデコーダ1260は、アドレスバッファ1020からのアドレス信号の一部にตอบสนองして、セレクトゲートSG1、SG2を選択的に活性化する。

【0273】次に図19を参照する。メモリアレイ1010aには複数の主ビット線が配列される。図19には2つの主ビット線MB0、MB1が示される。主ビット線MB0、MB1はそれぞれYゲートトランジスタYG0、YG1を介してセンスアンプ1060および書込回路1080に接続される。

【0274】各主ビット線に対応して複数の副ビット線が配列される。図19の例では、主ビット線MB0に対応して2つの副ビット線SB01、SB02が設けられ、主ビット線MB1に対応して2つの副ビット線SB11、SB12が設けられる。

【0275】複数の副ビット線に交差するように複数のワード線が配列される。図19の例では、副ビット線SB01、SB11に交差するようにワード線WL0、WL1が配列され、副ビット線SB02、SB12に交差するようにワード線WL2、WL3が配列される。

【0276】副ビット線SB01、SB02、SB11、SB12とワード線WL0～WL3との交点にはそれぞれメモリセルM00～M03、M10～M13が設けられる。メモリセルM00、M01、M10、M11はセクタSE1に含まれ、メモリセルM02、M03、M12、M13はセクタSE2に含まれる。

【0277】各メモリセルのドレインは対応する副ビット線に接続され、コントロールゲートは対応するワード線に接続され、ソースはソース線SLに接続される。

【0278】セレクトゲートSG1はセレクトゲートトランジスタSG01、SG11を含み、セレクトゲートSG2はセレクトゲートトランジスタSG02、SG12を含む。副ビット線SB01、SB02はそれぞれセレクトゲートトランジスタSG01、SG02を介して主ビット線MB0に接続され、副ビット線SB11、SB12はそれぞれセレクトゲートトランジスタSG11、SG12を介して主ビット線MB1に接続される。セレクトゲートデコーダ1260のセレクトゲート線SGL1はセレクトゲートトランジスタSG01、SG11に接続され、セレクトゲート線SGL2はセレクトゲートトランジスタSG02、SG12に接続される。

【0279】(b) メモリセルのプログラムおよび消去(図20)

図20の(a)にプログラム時におけるメモリセルへの電圧印加条件を示す。また、図20の(b)に消去時におけるメモリセルへの電圧印加条件を示す。

【0280】プログラム時には、図20の(a)に示すように、ドレイン1002に正電圧(たとえば5V)を印加し、コントロールゲート1006に負電圧(たとえば-10V)を印加し、ソース1003をフローティング状態にし、P-ウェル1008に0Vを印加する。そ



れにより、フローティングゲート1005とドレイン1002との間に高電界が発生し、トンネル現象によりフローティングゲート1005がドレイン1002に電子が放出される。その結果、メモリセルのしきい値電圧が下降する。

【0281】消去時には、図20の(b)に示すように、ドレイン1002をフローティング状態にし、コントロールゲート1006に高電圧(たとえば10V)を印加し、ソース1003をフローティング状態にし、P-ウェル1008に負電圧(たとえば-5V)を印加する。それにより、コントロールゲート1006とP-ウェル1008との間に高電圧(この場合15V)が印加され、ソース1003とフローティングゲート1005との間に高電界が発生する。その結果、トンネル現象によりソース1003からフローティングゲート1005に電子が注入され、メモリセルのしきい値電圧が上昇する。

【0282】このように、プログラム時にはトンネル現象によりフローティングゲート1005からドレイン1002に電子が放出される。そのため、チャネル方向または基板方向の電界を弱めるために、ドレイン1002に沿ってN<sup>-</sup>型不純物領域1002eが設けられる。

【0283】なお、ソース1003に沿ってN<sup>-</sup>型不純物領域1003eを設けてもよい。このように、ドレイン側およびソース側の両方にN<sup>-</sup>型不純物領域1002e、1003eを設けると、製造工程が少なくなる。

【0284】(c) フラッシュメモリの動作(図21)

次に、フラッシュメモリのセクター一括消去動作、プログラム動作および読出動作を図21を参照しながら説明する。

【0285】(i) セクター一括消去動作

ここでは、セクタSE1を一括消去するものと仮定する。まず、制御信号バッファ1120を介して制御回路1130に、セクター一括消去動作を指定する制御信号が与えられる。それにより、高電圧発生回路1220および負電圧発生回路1230が活性化される。

【0286】高電圧発生回路1220はXデコーダ1030に高電圧(10V)を与える。Xデコーダ1030は、セクタSE1のワード線WL0、WL1に高電圧(10V)を印加し、セクタSE2のワード線WL2、WL3に0Vを印加する。負電圧発生回路1230はYデコーダ1040およびウェル電位発生回路1250に負電圧を与える。Yデコーダ1040はYゲート1050内のYゲートトランジスタYG0、YG1に負電圧(-5V)を印加する。それにより、主ビット線MB0、MB1はフローティング状態になる。ソース制御回路10はソース線SLをフローティング状態にする。また、ウェル電位発生回路1250はP-ウェル1008に負電圧(-5V)を印加する。セレクトゲートデコー

ダ1260はセレクトゲート線SG1、SG2に0Vを印加する。

【0287】このようにして、セクタSE1内のメモリセルM00、M01、M10、M11に、図20の

(b)に示されるように電圧が印加される。その結果、セクタSE1内のすべてのメモリセルが消去される。

【0288】このとき、非選択のセクタSE2内の各メモリセルにおいて、コントロールゲートとP-ウェルとの間に印加される電圧は5Vである。したがって、トンネル現象は発生しない。また、この電位条件は読出時の電位条件とほぼ同じであるので、データへのディスタurbがほとんど起きない。

【0289】(ii) プログラム動作(図21の(b))

ここでは、メモリセルM00をプログラムするものと仮定する。すなわち、メモリセルM00にデータ“0”を書込み、メモリセルM10にデータ“1”を書き込む。

【0290】まず、制御信号バッファ1120を介して制御回路1130に、プログラム動作を指定する制御信号が与えられる。それにより、高電圧発生回路1210および負電圧発生回路1240が活性化される。

【0291】負電圧発生回路1240はXデコーダ1030に負電圧を与える。Xデコーダ1030は、アドレスバッファ1020から与えられるXアドレス信号に 응답してワード線WL0を選択し、選択されたワード線WL0に負電圧(-10V)を印加し、非選択のワード線WL1~WL3に0Vを印加する。

【0292】高電圧発生回路1210はYデコーダ1040、書込回路1080およびセレクトゲートデコーダ1260に高電圧を与える。まず、外部からデータ入力バッファ1070を介してデータ“0”が書込回路1080に与えられ、ラッチされる。Yデコーダ1040は、アドレスバッファ1020から与えられるYアドレス信号に 응답してYゲート1050内のYゲートトランジスタYG0に高電圧(たとえば7V)を印加し、YゲートトランジスタYG1に0Vを印加する。それにより、YゲートトランジスタYG0がオンする。

【0293】書込回路1080はYゲートトランジスタYG0を介して主ビット線MB0にデータ“0”に対応するプログラム電圧(5V)を印加する。また、セレクトゲートデコーダ1260は、セレクトゲート線SGL1に高電圧(たとえば(7V)を印加し、セレクトゲート線SGL2に0Vを印加する。それにより、副ビット線SB01、SB11がそれぞれ主ビット線MB0、MB1に接続される。ソース制御回路1110は、ソース線SLをフローティング状態にする。ウェル電位発生回路1250はP-ウェル1008に0Vを印加する。

【0294】このようにして、メモリセルM00に、図20の(a)に示されるように電圧が印加される。その結果、メモリセルM00のしきい値電圧が下降する。

【0295】一定時間（たとえば1m秒）経過後、外部からデータ入出力バッファ1070を介してデータ

“1”が書込回路1080に与えられ、ラッチされる。Yデコーダ1040は、アドレスバッファ1020から与えられるYアドレス信号に応答してYゲート1050内のYゲートトランジスタYG1に高電圧（7V）を印加し、YゲートトランジスタYG0に0Vを印加する。それにより、YゲートトランジスタYG1がオンする。書込回路1080は、YゲートトランジスタYG1を介して主ビット線MB1にデータ“1”に対応する0Vを印加する。したがって、メモリセルM10のしきい値電圧は高いまま維持される。

【0296】プログラム動作の際にベリファイ動作を行なってもよい。このベリファイ動作を図22のフローチャートを参照しながら説明する。

【0297】上記のように、選択されたワード線WL0に負電圧（-10V）を印加し、選択されたセレクトゲート線SGL1に高電圧（7V）を印加する（ステップS21）。また、ソース線SLをフローティング状態にし（ステップS22）、データ“0”の主ビット線MB0に5Vを印加し、データ“1”の主ビット線MB1に0Vを印加する（ステップS23）。それにより、メモリセルM00のしきい値電圧が下降する。このとき、メモリセルM10のしきい値電圧は高く維持される。

【0298】一定時間（たとえば1m秒）経過後、制御回路1130によりベリファイ動作が開始される。それにより、ベリファイ電圧発生回路1100が活性化される。ベリファイ電圧発生回路1100はXデコーダ1030に通常の電源電圧Vccよりも低いベリファイ電圧を供給する。その結果、選択されたワード線WL0にベリファイ電圧が印加される（ステップS24）。ソース制御回路1110によりソース線SLが接地される（ステップS25）。それにより、読出動作が行なわれる（ステップS26）。

【0299】メモリセルM00のしきい値電圧がベリファイ電圧よりも高いと、主ビット線MB0には電流が流れない。そのため、センスアンプ1060がデータ

“1”を検知する。この場合、制御回路1130はプログラムが不十分であると判断し、再びプログラム動作およびベリファイ動作を行なう（ステップS27、S21～S26）。

【0300】メモリセルM00のしきい値電圧がベリファイ電圧よりも低くなれば、主ビット線MB0に電流が流れる。そのため、センスアンプ1060がデータ

“0”を検知する。この場合、制御回路1130はプログラムが十分であると判断し、メモリセルM00についてのプログラム動作を終了する。

【0301】Xデコーダ1030に与えられるXアドレス信号が順次インクリメントされ、ワード線WL1、WL2、WL3に関して順次プログラム動作およびベリフ

アイ動作が行なわれる（ステップS28、S29）。

【0302】(iii) 読出動作（図21の(c)）ここでは、メモリセルM00からデータを読出すものと仮定する。まず、制御信号バッファ1120を介して制御回路1130に、読出動作を指定する制御信号が与えられる。

【0303】Xデコーダ1030は、アドレスバッファ1020から与えられるXアドレス信号に応答してワード線WL0を選択し、それに電源電圧Vcc（5V）を印加する。このとき、ワード線WL1、WL2、WL3は0Vに保たれる。セレクトゲートデコーダ1260は、セレクトゲート線SGL1に5Vを印加し、セレクトゲート線SGL2に0Vを印加する。Yデコーダ1040は、アドレスバッファ1020から与えられるYアドレス信号に応答してYゲート1050内のYゲートトランジスタYG0をオンさせる。ソース制御回路1110はソース線SLを接地する。

【0304】それにより、主ビット線MB0に読出電圧Vrが現れる。この読出電圧Vrがセンスアンプ1060により検知され、データ入出力バッファ1070を介して外部に出力される。

【0305】(d) メモリセルの断面構造（図23）図23はこの実施例のフラッシュメモリに用いられるメモリセルの断面構造を示す図である。図23に示す構造をトリプルウェル構造と呼ぶ。

【0306】P-型半導体基板1001の所定領域にN-ウェル1009が形成され、N-ウェル1009内にP-ウェル1008が形成される。P-ウェル1008内の所定領域に所定間隔をもって2つのN+型不純物領域が形成される。N+型不純物領域の一方がドレイン1002を構成し、他方がソース1003を構成する。ソース1002とドレイン1003との間の領域上に、極めて薄い酸化膜等の絶縁膜1004（約100Å）を介してフローティングゲート1005が形成され、さらにその上に絶縁膜を介してコントロールゲート1006が形成される。このようにして、メモリセルMCが形成される。

【0307】CMOS回路領域1300は、P-ウェル内に形成されたNチャネルトランジスタおよびN-ウェル内に形成されたPチャネルトランジスタを含む。

(e) 高集積化

図24は、第6の実施例における2つの隣接したメモリセルの構造図である。図24に示されるように、2つのメモリセルM00およびM10は、Pウェル1008上に形成された分離酸化膜1400により分離される。プログラム動作において、選択されたメモリセルM10のドレイン1002'に5Vの電圧が与えられ、一方、選択されないメモリセルM00のドレイン1002に0Vの電圧が与えられる。これに加えて、コントロールゲートを形成する第2アルミ配線層1006に-10Vの負

電圧が与えられる。したがって、分離酸化膜1400をゲート酸化膜として、MOSトランジスタ1401が等価的に存在することになる。

【0308】この等価NMOSトランジスタ1401は、ゲート電極を介して-10Vの負電圧を受ける。したがって、この等価トランジスタ1401は、上記のプログラム動作において導通することがあり得ず、したがって、分離酸化膜1400の幅Waを図146に示した幅Wbと比較してより小さな値に選択することができ、したがって、より高い集積度が得られる。図25は、第6の実施例におけるメモリセルアレイの半導体基板上のレイアウト図である。すでに説明したように、第6の実施例ではプログラム動作および消去動作がトンネル現象を利用して行なわれるので、副ビット線を介して流れる電流が極めて少なくなる。したがって、セクタ選択のためのセレクトゲートトランジスタSG0およびSG1のチャネル幅を、図145に示した例と比較してより小さな値に選択することができる。したがって、より高集積化に適したレイアウトが得られる。

【0309】図26は、第6の実施例のメモリセルアレイにおいて与えられる電圧を示す回路図である。図26(a)は、プログラム動作において与えられる電圧を示し、一方、図26(b)は、消去動作において与えられる電圧を示す。図26(a)に示されるように、プログラム動作において、図示されていないXデコーダが-10Vおよび0Vの出力電圧を出力する。言い換えると、Xデコーダは10Vの電圧差を有する出力電圧を出力する。一方、図26(b)に示すように、Xデコーダは、消去動作において、10Vおよび0Vの出力電圧を必要とする。言い換えると、Xデコーダは、10Vの電圧差を有する出力電圧を出力する。図26に示した出力電圧差（すなわち10V）と図147に示した出力電圧差（すなわち15Vおよび18V）を比較するとわかるように、第6の実施例におけるXデコーダの出力電圧差が減少されている。このことは、Xデコーダの集積度を向上させるのに貢献する。すなわち、第6の実施例ではXデコーダの出力電圧差が小さくなるので、Xデコーダを半導体基板上のより少ない占有領域内に形成することが可能となる。

【0310】(f) 高電圧発生回路（図27、図28）

図27の(a)に高電圧発生回路の等価回路を示す。高電圧発生回路は、複数のダイオードD210および複数のキャパシタンスC210を含む。キャパシタンスC210には2相のクロック信号 $\phi$ 、 $\phi$ が与えられる。それにより、チャージポンプが構成される。

【0311】各ダイオードD210は、通常、図27の(b)に示すように、Nチャネルトランジスタにより構成される。Nチャネルトランジスタのバックゲートは接地されている。

【0312】しかし、電源電圧Vccが低い場合（たとえば3V）には、バックゲート効果により高電圧を得ることが困難になる。バックゲート効果とは、ソース電圧と相対的にバックゲート電圧が下がると、しきい値電圧が上昇することである。

【0313】そこで、この実施例では、図28に示す構造が用いられる。P-型半導体基板1001に複数のN-ウェル1211が形成され、各N-ウェル1211内にP+型不純物領域1212およびN+型不純物領域1213が形成される。これらのP+型不純物領域1212およびN+型不純物領域1213がダイオードを構成する。

【0314】この構成によると、各ダイオードがバックゲートを有さないため、バックゲート効果は起こらない。

【0315】しかしながら、場合により、図28に示した構造を有する高電圧発生回路において、図29に示すような寄生トランジスタ（バイポーラトランジスタ）が存在し得る。図29を参照して、pnp型の寄生トランジスタ1411および1412が、P+型不純物領域1212、N-ウェル1211およびP-型半導体基板1001により形成され得る。したがって、これらの寄生トランジスタ1411、1412、…の存在により、図30に示した回路が等価的に形成され得る。図30は、図29に示した寄生トランジスタ1411、1412、…により構成される回路の等価回路図である。図30からわかるように、カスケードされた寄生トランジスタ1411、1412、…により、微小な何らかのリーク電流 $I_{LEAK}$ が増幅され、過大な電流 $I_n$ が引き起こされる。すなわち、各寄生トランジスタ1411、1412、…の電流増幅率を $hfe$ とすると、次式により決定される過大な電流 $I_n$ が流れることになる。

【0316】

$$I_1 = (1 + hfe) \cdot I_{LEAK}$$

$$I_n = (1 + hfe)^n \cdot I_{LEAK}$$

したがって、高電圧発生回路において過大な電流 $I_n$ が流れるのを防ぐため、図31に示した構造が提案される。図31は、第6の実施例によるフラッシュメモリに用いられる高電圧発生回路の別の構造を示す断面図である。図31に示されるように、トリプルウェル構造が高電圧発生回路に適用される。これにより、図29に示したような寄生トランジスタ1411、1412、…が存在するのが防がれ、安定した昇圧動作が行なわれ得る。

(g) 負電圧発生回路（図32、図33）

図32の(a)に負電圧発生回路の等価回路を示す。負電圧発生回路は、複数のダイオードD230および複数のキャパシタンスC230を含む。キャパシタンスC230には2相のクロック信号 $\phi$ 、 $\phi$ が与えられる。それにより、チャージポンプが構成される。

【0317】各ダイオードD230は、通常、図32の

(b)に示すように、Pチャネルトランジスタにより構成される。Pチャネルトランジスタのバックゲートは接地されている。

【0318】しかし、電源電圧 $V_{cc}$ が低い場合（たとえば3V）には、バックゲート効果により低い負電圧を得ることが困難になる。

【0319】そこで、この実施例では、図33に示すトリプルウェル構造が用いられる。P-型半導体基板1001にN-ウェル1231が形成され、N-ウェル1231内に複数のP-ウェル1232が形成され、各P-ウェル1232内にN+型不純物領域1233およびP+型不純物領域1234が形成される。これらのN+型不純物領域1233およびP+型不純物領域1234がダイオードを構成する。

【0320】この構成によると、各ダイオードがバックゲートを有さないため、バックゲート効果は起こらない。また、図23に示したように、メモリセルもN-ウェル内に形成されるので、製造工程は増加しない。

【0321】(7) 第7の実施例（図34、図35）  
図34は第7の実施例によるフラッシュメモリのメモリアレイおよびそれに関連する部分の詳細な構成を示す回路図である。図7の実施例によるフラッシュメモリの全体の構成は、図18に示す構成と同様である。

【0322】第7の実施例が第6の実施例と異なるのは、主ビット線MB0、MB1にそれぞれトランスファゲートトランジスタTG0、TG1を介してキャパシタンスC0、C1が接続されている点である。キャパシタンスC0、C1にはウェル電位VBが与えられる。トランスファゲートトランジスタTG0、TG1には制御回路1130から制御信号CG1が与えられる。他の部分の構成は、図19に示される構成と同様である。

【0323】1つのメモリセルについてのプログラム時間がたとえば1m秒であると仮定すると、図34に示すような2ビット構成ではプログラムに2m秒必要となる。実際には、1つのワード線に接続されるメモリセルの数は数百～数千であるので、データの書換えには膨大な時間がかかる。各主ビット線ごとにデータラッチを設けることにより複数のビット線に接続されるメモリセルに同時にプログラムを行なってもよい。しかし、レイアウトが困難となる。

【0324】そこで、第7の実施例に示すように、キャパシタンスC0、C1が設けられる。

【0325】プログラム時に、制御信号CG1に応答してトランスファゲートトランジスタTG0、TG1がオンする。また、Yデコーダ1040は、Yアドレス信号に応答してYゲートトランジスタYG0、YG1をたとえば数十 $\mu$ 秒の周期で高速にスイッチングする。このとき、書込回路1080にはYアドレス信号に従ってデータが順次与えられる。それにより、主ビット線MB0、MB1を介してキャパシタンスC0、C1がデータに従

って充電される。この動作が1m秒の間繰返される。

【0326】一般に、フローティングゲートからの電子のトンネルに要する電流は数ナノアンペア以下であるので、キャパシタンスC0、C1に蓄積された電荷によりトンネルに要する消費電流を供給することができる。

【0327】図35に示すように、たとえば250 $\mu$ 秒ごとにYゲートトランジスタYG0、YG1をスイッチングした場合、主ビット線MB0には、250 $\mu$ 秒～500 $\mu$ 秒の期間および750 $\mu$ 秒～1m秒の期間プログラム電圧は印加されない。しかし、これらの期間には、主ビット線MB0およびキャパシタンスC0に蓄積された電荷により主ビット線MB0の電圧が保持される。したがって、主ビット線MB0、MB1に接続されたメモリセルをプログラムするのに要する時間は1m秒となる。

【0328】ここで、主ビット線MB0にプログラム電圧が印加されない期間の電圧減少量 $\Delta V$ は、キャパシタンスC0の値およびYゲートトランジスタのスイッチング周波数で決まる。キャパシタンスC0の値が大きいほど、またはスイッチング周波数が大きいほど、プログラム電圧の減少は抑えられ、安定かつ高速にプログラムが行なわれる。

【0329】キャパシタンスC0、C1をMOS容量で形成する場合、主ビット線MB0、MB1をゲートに接続することが好ましい。もし、主ビット線MB0、MB1をMOS容量の拡散層に接続すると、たとえば高温時に、接合リークなどにより、充電されたプログラム電圧が短時間で放電してしまう可能性があるからである。

【0330】プログラム時および消去時の電圧印加条件は第6の実施例と同様である。また、セクター一括消去動作およびプログラム動作も第6の実施例と同様である。

【0331】(8) 第8の実施例（図36～図51）

(a) フラッシュメモリの全体の構成（図36、図37）

図36は、第8の実施例によるフラッシュメモリの全体の構成を示すブロック図である。また、図37は、メモリアレイおよびそれに関連する部分の詳細な構成を示す回路図である。

【0332】図36のフラッシュメモリが図18に示す第6の実施例のフラッシュメモリと異なるのは次の点である。ソース制御回路1110の代わりにソースデコーダ1270が設けられる。また、負電圧発生回路1230はYデコーダ1040の代わりにセレクトゲートデコーダ1260およびソースデコーダ1270に負電圧を与える。

【0333】図37に示すように、セクタSE1内のメモリセルM00、M01、M10、M11のソースはソース線SL1に接続され、セクタSE2内のメモリセルM02、M03、M12、M13のソースはソース線SL2に接続される。ソースデコーダ1270の出力端子

はソース線SL1, SL2に接続される。

【0334】消去時には、選択されたセクタ内の各メモリセルのソースはフローティング状態となっている。ソースにリーク経路が存在すると、ソース電位が上昇し、ソースとフローティングゲートとの間の電界が小さくなる。

【0335】そこで、消去時にソース電位を安定にするために、ソース線SL1, SL2にそれぞれトランスファゲートトランジスタTG11, TG12を介してキャパシタンスC11, C12を接続してもよい。

【0336】キャパシタンスC11, C12にはウェル電位VBが与えられる。トランスファゲートトランジスタTG11, TG12には制御回路1130から制御信号CG2が与えられる。

【0337】消去時に、制御信号CG2に応答してトランスファゲートトランジスタTG11, TG12がオンする。それにより、ソース電位の変化が小さくなる。

【0338】第8の実施例におけるプログラム動作および読出動作は第6の実施例と同様であるので、以下、セクター括消去動作を説明する。

【0339】第6の実施例では、消去時に、図20の(b)に示されるように電圧が印加される。しかし、非常に短い時間(たとえば数m秒)で消去が行なわれると、メモリセルの下部における反転層の形成が電圧印加に追従することができず、メモリセルの下部に空乏層が形成される。

【0340】このような場合、選択されたセクタ内のメモリセルへの電圧印加条件と非選択のセクタ内のメモリセルへの電圧印加条件とを異ならせることが好ましい。

【0341】電圧印加条件は、フローティングゲート1005の下に絶縁膜1004(トンネル絶縁膜)にゲー

$$(VCG - VFG) \cdot Cg = (VFG - VB) \cdot (Cs + Ct + Cd) \quad \dots (1)$$

式(1)を展開すると次式のようになる。

$$VFG = \{VCG \cdot Cg + (Cs + Ct + Cd) \cdot VB\} / (Cs + Ct + Cd + Cg) \quad \dots (2)$$

さらに式(2)を展開すると、次式のようになる。

$$VFG = \{VCG + (Cs + Ct + Cd) \cdot VB / Cg\} / \{(Cs + Ct + Cd) / Cg + 1\} \quad \dots (3)$$

ここで、Cs, CdはCgと比較して小さいので、無視することができる。したがって、式(3)は次式のようになる。

$$VFG = (VCG + Ct \cdot VB / Cg) / (Ct / Cg + 1) \quad \dots (4)$$

空乏層が広がると、容量Cbが小さくなり、容量Ctも小さくなる。したがって、フローティングゲート1005の電位VFGはコントロールゲート1006の電位VCGに近づく。しかし、フローティング状態のドレイン1002およびソース1003の電位は、ほぼP-ウェ

$$E = (VFG - VB) / TOX$$

ここで、VFGはフローティングゲート1005の電位、VBはP-ウェル1008の電位、TOXはトンネ

ルバースピークがない場合とゲートバースピークがある場合とで異なる。ここで、ゲートバースピークとは、図43にgbで示すように、製造時に、フローティングゲート1005の下にトンネル絶縁膜によりフローティングゲート1005の下面の周縁部が浸蝕されている状態をいう。これにより、フローティングゲート1005の周縁部の下方でトンネル絶縁膜の厚さが厚くなる。

【0342】まず、ゲートバースピークがないかあるいは小さい場合の電圧印加条件を説明し、次に、ゲートバースピークが大きい場合の電圧印加条件を説明する。

【0343】(b) ゲートバースピークがない場合(図38~図42)

(i) メモリセルの消去(図38, 図39)

図38において、Cgはコントロールゲート1006とフローティングゲート1005との間の容量、Cfはフローティングゲート1005とP-ウェル1008との間の容量、Cbは空乏層による容量、Cdはドレイン1002とフローティングゲート1005との間の容量、Csはソース1003とフローティングゲート1005との間の容量を示す。また、Ctは容量Cfと容量Cbとの合成容量を示す。

【0344】今、コントロールゲート1006に正電圧VCGを印加し、P-ウェル1008に負電圧VBを印加する。この場合、ドレイン1002およびソース1003はフローティング状態になっているので、ドレイン電位Vdおよびソース電位Vsはほぼ負電圧VBとなる。このときのフローティングゲート1005の電位をVFGとし、初期の蓄積電荷を0とすると、電荷保存則から次式が成立する。

【0345】

【0346】

【0347】

になる。

【0348】

ル1008の電位と同じである。

【0349】この場合、フローティングゲート1005とドレイン1002またはソース1003との間の電界Eは次式で表される。

【0350】

$$\dots (5)$$

ル絶縁膜の厚さを表す。

【0351】フローティングゲート1005の電位VF

Gが上昇するので、フローティングゲート1005とドレイン1002との間の電界およびフローティングゲート1005とソース1003との間の電界が大きくなる。したがって、ドレイン1002またはソース1003の端部でのトンネル効果が向上する。そのため、消去効率が向上する。

【0352】このような効果は選択されたセクタでは好ましいが、非選択のセクタでは好ましくない。

【0353】そこで、選択されたセクタ内のメモリセルのソース1003は、図39の(a)に示すように、フローティング状態にし、非選択のセクタ内のメモリセルのソース1003には、図39の(b)に示すように、P-ウェル1008の電位と同じ電位またはP-ウェル1008の電位よりも高い電位を供給する。

【0354】それにより、非選択のセクタ内のメモリセルでは、ソース1003とドレイン1002との間にチャンネルchが形成され、そのチャンネルchの電位はソース1003から与えられる。そのため、フローティングゲート1005の電位は、フローティングゲート1005とチャンネルchとの間の容量結合により低下し、トンネル絶縁膜にかかる電界が緩和される。その結果、非選択のセクタ内のメモリセルのデータが安定に保護される。

【0355】(ii) フラッシュメモリのセクター一括消去動作(図40)

図40を参照しながらゲートバースピークがない場合のフラッシュメモリのセクター一括消去動作を説明する。ここで、セクタSE1を一括消去するものと仮定する。

【0356】セクタSE1内のワード線WL0, WL1に10Vが印加され、セクタSE2内のワード線WL2, WL3に0Vが印加される。また、セレクトゲート線SGL1, SGL2には0Vが印加される。P-ウェル1008には-5Vが印加される。ソース線SL1はフローティング状態にされ、ソース線SL2には-5Vが印加される。

【0357】それにより、セクタSE2内のメモリセルのデータを安定に保護しつつ、セクタSE1内のメモリセルを一括消去することができる。

【0358】(iii) ソースデコーダ(図41, 図42)

図41は、ゲートバースピークがない場合に用いられるソースデコーダ1270の構成を示す図である。また、図42は、図41のソースデコーダ1270の各部の電圧を示す図である。図41には、ソース線SL1に関連する部分のみが示される。ソース線SL2に関連する部

$$E = (VFG - VB) / (TOX + Id) \quad \dots (6)$$

ここで、VFGはフローティングゲート1005の電位、VBはP-ウェル1008の電位、TOXはトンネル絶縁膜の厚さ、Idは空乏層の厚さを表す。このように、ドレイン1002およびソース1003をフローテ

分の構成は、入力端子AD0, AD1, AD2に与えられる入力信号が異なる点を除いて、図41に示される構成と同様である。

【0359】PチャンネルトランジスタP1, P2, P3のバックゲートは端子VDDに接続され、NチャンネルトランジスタN1, N2, N3, N4のバックゲートは端子VBBに接続される。

【0360】消去時には、端子VDDに0Vが印加され、端子VBBにウェル電位と同じ負電圧(-5V)が印加される。また、端子VBB2にはウェル電位と同じ負電圧(-5V)またはウェル電位よりも高い負電圧が印加される。

【0361】セクタSE1の選択時には、入力端子AD0~AD2のすべてに0Vの入力信号が与えられる。したがって、トランジスタN4がオフし、ソース線SL1はフローティング状態となる。セクタSE1の非選択時には、入力端子AD0~AD2のいずれかに-5Vの入力信号が与えられる。したがって、トランジスタN4がオンし、ソース線SL1に-5Vが印加される。

【0362】プログラム時および読出時には、端子VDDに電源電圧Vcc(5V)が印加され、端子VBBに0Vが印加され、端子VBB2に0Vが印加される。

【0363】プログラム時には、入力端子AD0~AD2のすべてに5Vの入力信号が与えられる。したがって、トランジスタN4がオフし、ソース線SL1はフローティング状態になる。

【0364】読出時には、入力端子AD0~AD2のすべてに0Vの入力信号が印加される。したがって、トランジスタN4がオンし、ソース線SL1に0Vが印加される。

【0365】(c) ゲートバースピークがある場合(図43~図47)

(i) メモリセルの消去(図43, 図44)

図43に示すように、ゲートバースピークgbが大きいと、ドレイン1002およびソース1003を形成する拡散層が薄いトンネル絶縁膜の下まで延びない場合が生じる。この場合、ドレイン1002とフローティングゲート1005との間およびソース1003とフローティングゲート1005との間でトンネル効果は生じない。したがって、P-ウェル1008とフローティングゲート1005との間のトンネル効果により消去が行なわれる。

【0366】フローティングゲート1005とP-ウェル1008との間の電界Eは次式で表される。

【0367】

イング状態にすると、空乏層により電界が弱められて消去効率が落ちる。

【0368】このような場合、選択されたセクタ内のメモリセルのソース1003には、図44の(a)に示す

ように、P-ウェル1008の電位と同じ負電圧(-5V)を印加し、非選択のセクタ内のメモリセルのソース1003は、図44の(b)に示すように、フローティング状態にする。

【0369】それにより、選択されたセクタ内のメモリセルでは、ソース1003とドレイン1002との間にチャンネルchが形成され、そのチャンネルchの電位はソース1003から与えられる。そのため、チャンネルchとフローティングゲート1005との間のトンネル絶縁膜に十分な電界が印加され、チャンネルchとフローティングゲート1005との間でトンネル現象が起こる。その結果、選択されたセクタ内のメモリセルの消去効率が向上する。

【0370】一方、非選択のセクタ内のメモリセルのソース1003はフローティング状態となっているので、ソース1003とドレイン1002との間にチャンネルは形成されず、メモリセルの下部に空乏層が形成される。そのため、フローティングゲート1005とP-ウェル1008との間の電界が緩和される。

【0371】(ii) フラッシュメモリのセクター一括消去動作(図45)

図45を参照しながらゲートバースピークがある場合のフラッシュメモリのセクター一括消去動作を説明する。ここで、セクタSE1を一括消去するものと仮定する。

【0372】セクタSE1内のワード線WL0, WL1に10Vが印加され、セクタSE2内のワード線WL2, WL3に0Vが印加される。また、セレクトゲート線SGL1, SGL2には0Vが印加される。P-ウェル1008には-5Vが印加される。ソース線SL1には-5Vが印加され、ソース線SL2はフローティング状態にされる。

【0373】それにより、セクタSE2内のメモリセルのデータを安定に保護しつつ、セクタSE1内のメモリセルを一括消去することができる。

【0374】(iii) ソースデコーダ(図46, 図47)

図46は、ゲートバースピークがある場合に用いられるソースデコーダ1270の構成を示す図である。図47は、図46のソースデコーダ1270の各部の電圧を示す図である。図48は、ソース線SL1に関連する部分のみが示される。ソース線SL2に関連する部分の構成は、入力端子AD0, AD1, AD2に与えられる入力信号が異なる点を除いて、図46に示される構成と同様である。

【0375】PチャンネルトランジスタP1, P2, P3, P4のバックゲートは端子VDDに接続され、NチャンネルトランジスタN1, N2, N3, N5, N6のバックゲートは端子VBBに接続される。

【0376】消去時には、端子VDDに0Vが印加され、端子VBBにはウェル電位と同じ負電圧(-5V)

が印加される。

【0377】セクタSE1の選択時には、入力端子AD0~AD2のすべてに0Vの入力信号が与えられる。したがって、トランジスタN6がオンし、ソース線SL1には-5Vが印加される。セクタSE1の非選択時には、入力端子AD0~AD2のいずれかに-5Vの入力信号が与えられる。したがって、トランジスタN6がオフし、ソース線SL1はフローティング状態となる。

【0378】プログラム時および読出時には、端子VDDに電源電圧Vcc(5V)が印加され、端子VBBに0Vが印加される。

【0379】プログラム時には、入力端子AD0~AD2のすべてに0Vの入力信号が与えられる。したがって、トランジスタN6がオフし、ソース線SL1はフローティング状態になる。

【0380】読出時には、入力端子AD0~AD2のすべてに5Vの入力信号が与えられる。したがって、トランジスタN6がオンし、ソース線SL1に0Vが印加される。

【0381】(d) ウェル電位が低い場合(図48~図51)

(i) メモリセルの消去(図48)

上記の説明では、消去時にP-ウェルに印加する電圧を-5Vと仮定してきた。さらに消去効率を向上するためにウェル電位をより下げた場合、非選択のセクタでのディスタープが問題となってくる。

【0382】たとえば、ゲートバースピークが大きい場合には、図46に示したように、選択されたセクタのソース線にはウェル電位と同じ端子VBBの負電圧(-5V)が印加され、非選択のセクタのソース線はフローティング状態となる。

【0383】しかし、ウェル電位がより下がると、非選択のセクタ内のメモリセルにおいて、フローティングゲートとP-ウェルとの間の電界が大きくなる。その結果、非選択のセクタ内のメモリセルのデータを確実に保護することができなくなる。

【0384】そこで、非選択のセクタのソース線にはウェル電位よりも高い電圧を印加する。たとえば、図48に示すように、P-ウェル1008の電位を-10Vとする。この場合、選択されたセクタ内のメモリセルのソース1003には、図48の(a)に示すように、ウェル電位と同じ-10Vを印加し、非選択のセクタ内のメモリセルのソース1003には-5Vを印加する。

【0385】それにより、非選択のセクタ内のメモリセルにおいて、チャンネルとコントロールゲート1006との間の電位差を5Vにすることができる。

【0386】(ii) フラッシュメモリのセクター一括消去動作(図49)

図49を参照しながらウェル電位が低い場合のフラッシュメモリのセクター一括消去動作を説明する。ここで、セ

クタSE1を一括消去するものと仮定する。

【0387】セクタSE1内のワード線WL0, WL1に10Vが印加され、セクタSE2内のワード線WL2, WL3に0Vが印加される。また、セレクトゲート線SGL1, SGL2には0Vが印加される。P-ウェル1008には-10Vが印加される。ソース線SL1には-10Vが印加され、ソース線SL2には-5Vが印加される。

【0388】それにより、セクタSE2内のメモリセルのデータを安定に保護しつつ、セクタSE1内のメモリセルを一括消去することができる。

【0389】(iii) ソースデコーダ(図50, 図51)

図50は、ウェル電位が低い場合に用いられるソースデコーダ1270の構成を示す図である。図51は、図50のソースデコーダ1270の各部の電圧を示す図である。図50には、ソース線SL1に関連する部分のみが示される。ソース線SL2に関連する部分の構成は、入力端子AD0, AD1, AD2に与えられる入力信号が異なる点を除いて、図50に示される構成と同様である。

【0390】PチャネルトランジスタP1, P2, P3, P5のバックゲートは端子VDDに接続され、NチャネルトランジスタN1, N2, N3のバックゲートは端子VBBに接続される。

【0391】消去時には、端子VDDに-5Vが印加され、端子VBBにウェル電位と同じ負電圧(-10V)が印加される。また、制御線CSLに0Vが印加され、制御線DSLに-10Vが印加される。

【0392】セクタSE1の選択時には、入力端子AD0~AD2のすべてに0Vの入力信号が与えられる。したがって、ソース線SL1に-10Vが印加される。セクタSE1の非選択時には、入力端子AD0~AD2のいずれかに-10Vの入力信号が与えられる。したがって、ソース線SL1に-5Vが印加される。なお、非選択時のソース線の電位は、消去時に端子VDDに与える電位を変えることにより自由に選択することができる。

【0393】プログラム時および読出時には、端子VDDに電源電圧Vcc(5V)が印加され、端子VBBに0Vが印加される。

【0394】プログラム時には、制御線CSLに0Vが印加され、制御線DSLに5Vが印加される。したがって、ソース線SL1はフローティング状態になる。

【0395】読出時には、制御線CSLに5Vが印加され、制御線DSLに0Vが印加される。また、入力端子AD0~AD2のすべてに5Vの入力信号が与えられる。したがって、ソース線SL1に0Vが印加される。

【0396】(9) 第9の実施例(図52~図56)

(a) フラッシュメモリの全体の構成(図52, 図53)

図52は、第9の実施例によるフラッシュメモリの全体の構成を示すブロック図である。また、図53は、メモリアレイおよびそれに関連する部分の詳細な構成を示す回路図である。

【0397】図52のフラッシュメモリが図36に示す第8の実施例のフラッシュメモリと異なるのは次の点である。ソースデコーダ1270の代わりにソーススイッチ1281, 1282が設けられている。負電圧発生回路1230はセレクトゲートデコーダ1260に負電圧を与える。

【0398】図53に示すように、ソーススイッチ1281はセレクトゲート線SGL1上の電位を受け、ソース線SL1の電位を制御する。ソーススイッチ1282はセレクトゲート線SGL2上の電位を受け、ソース線SL2の電位を制御する。ソーススイッチ1281, 1282は制御回路1130からの制御信号CG3により制御される。

【0399】第9の実施例におけるプログラム動作および読出動作は第6の実施例と同様であるので、以下、消去動作を説明する。

【0400】(b) フラッシュメモリのセクター一括消去動作(図54)

図54を参照しながら第9の実施例によるフラッシュメモリのセクター一括消去動作を説明する。ここで、セクタSE1の一括消去を行なうものと仮定する。

【0401】第8の実施例で説明したように、より消去効率を向上するために、P-ウェル1008には-10Vが印加される。セクタSE1内のワード線WL0, WL1には10Vが印加され、セクタSE2内のワード線WL2, WL3には0Vが印加される。また、セレクトゲート線SGL1に-10Vが印加され、セレクトゲート線SGL2に-5Vが印加される。ソース線SL1にはソーススイッチ1281により-10Vが印加され、ソース線SL2はソーススイッチ1282により-5Vが印加される。

【0402】それにより、セクタSE2にディスタープを起こすことなく、セクタSE1を効率的に一括消去することができる。

【0403】(c) セレクトゲートデコーダおよびソーススイッチ(図55, 図56)

図55は、第9の実施例のフラッシュメモリに用いられるセレクトゲートデコーダおよびソーススイッチの構成を示す回路図である。図56は、図55のセレクトゲートデコーダおよびソーススイッチの各部の電圧を示す図である。図55には、セレクトゲートデコーダ1260のセレクトゲート線SGL1に関連する部分およびソース線SL1に接続されるソーススイッチ1281のみが示される。セレクトゲートデコーダ1260のセレクトゲート線SGL2に関連する部分およびソーススイッチ1282の構成は、入力端子AD0, AD1, AD2に



与えられる入力信号が異なる点を除いて、図55に示される構成と同様である。

【0404】PチャネルトランジスタP21～P25のバックゲートは端子VDDに接続され、NチャネルトランジスタN21～N28のバックゲートは端子VBBに接続される。図53に示す制御信号CG3は、制御線ASL、BSLにより与えられる。

【0405】消去時には、端子VDDに0Vが印加され、端子VBBに-10Vが印加される。端子VBB2には-5Vが印加され、端子VSGには-10Vが印加される。制御線ASLには0Vが印加され、制御線BSLには-10Vが印加される。

【0406】セクタSE1の選択時には、入力端子AD0～AD2のすべてに0Vの入力信号が与えられる。したがって、トランジスタN25、P25がオンし、セレクトゲート線SGL1に端子VSGの電位(-10V)が与えられる。また、制御線ASLの電位が0Vであるので、トランジスタN27がオンし、ソース線SL1にも端子VSGの電位(-10V)が与えられる。

【0407】セクタSE1の非選択時には、入力端子AD0～AD2のいずれかに-10Vの入力信号が与えられる。したがって、トランジスタN26がオンし、セレクトゲート線SGL1に端子VBB2の電位(-5V)が与えられる。また、トランジスタN27を介してソース線SL1にも端子VBB2の電位(-5V)が与えられる。なお、端子VBB2に印加される電圧を変更することによって、非選択のセクタのソース線の電位を自由に変更することができる。

【0408】プログラム時には、端子VDDに電源電圧Vcc(7V)が印加され、端子VBB、VBB2に0Vが印加される。端子VSGには7Vが印加され、制御線ASL、BSLには0Vが印加される。

【0409】セクタSE1の選択時には、トランジスタN25、P25がオンし、セレクトゲート線SGL1に端子VSGの電位(7V)が与えられる。このとき、トランジスタN27、N28はオフしているので、ソース線SL1はフローティング状態となる。セクタSE1の非選択時には、トランジスタN26がオンし、セレクトゲート線SGL1に端子VBB2の電位(0V)が与えられる。このときも、トランジスタN27、N28がオフしているので、ソース線SL1はフローティング状態となる。

【0410】読出時には、端子VDDに電源電圧Vcc(5V)が印加され、端子VBB、VBB2に0Vが印加される。端子VSGには5Vが印加される。制御線ASLには0Vが印加され、制御線BSLには5Vが印加される。

【0411】セクタSE1の選択時には、トランジスタN25、P25がオンし、セレクトゲート線SGL1に端子VSGの電位(5V)が与えられる。このとき、ト

ランジスタN28がオンしているので、ソース線SL1は接地される。セクタSE1の非選択時には、トランジスタN26がオンし、セレクトゲート線SGL1に端子VBB2の電位(0V)が与えられる。このときも、トランジスタN28がオンしているので、ソース線SL1は接地される。

【0412】このように、図37に示したソースデューダ1270を必要とせずに、消去時に、選択されたセクタのソース線にウェル電位を印加し、非選択のセクタのソース線にウェル電位よりも高い電位を印加することができる。

【0413】(10) 第10の実施例(図57)  
第10の実施例によるフラッシュメモリの特徴は、プログラム時にベリファイ動作を必要としないことである。第10の実施例のフラッシュメモリの構成は、第6～第9のいずれかの実施例のフラッシュメモリの構成と同様である。また、一括消去動作および読出動作も、第6～第9の実施例と同様である。

【0414】図57のフローチャートを参照しながら第10の実施例によるフラッシュメモリのプログラム動作を説明する。

【0415】まず、選択されたワード線の電位をベリファイレベルに設定し、選択されたセレクトゲート線に高電圧を印加する(ステップS31)。それにより、選択されたセレクトゲートトランジスタがオンする。そして、ソース線をフローティング状態にする(ステップS32)。データ“0”に対応する主ビット線を5Vにプリチャージし、データ“1”に対応する主ビット線を0Vに保つ(ステップS33)。

【0416】その後、ソース線のある一定期間接地する(ステップS34)。もし選択されたセクタ内のメモリセルのしきい値電圧がベリファイレベルよりも高いと、データ“0”に対応する主ビット線の電位は上記のプリチャージレベルに保たれる。もし選択されたセクタ内のメモリセルのしきい値電圧がベリファイレベルよりも低いと、データ“0”に対応する主ビット線はメモリセルを介して放電される。

【0417】その後、ソース線をフローティング状態にし(ステップS35)、選択されたワード線に負電圧を印加する(ステップS36)。それにより、5Vにプリチャージされている主ビット線に接続されたメモリセルのみがプログラムされる。

【0418】上記のプログラムサイクルを指定回数だけ繰返した後(ステップS37)、Xアドレスをインクリメントし、次のワード線に関して上記のプログラムサイクルを繰返す(ステップS38、S39)。上記のプログラムサイクルを選択されたセクタ内のすべてのワード線に関して繰返すと、プログラム動作が終了する(ステップS38)。

【0419】上記の方法によると、主ビット線へのプロ

グラム電圧の印加後、逐一ベリファイ動作を行なうことなく高速にプログラム動作を行なうことができる。

【0420】プリチャージレベルを安定に保持するために、第2の実施例に示したように、主ビット線にトランスファゲートトランジスタを介してキャパシタンスを接続し、プログラム時にこれらのトランスファゲートトランジスタをオンさせてもよい。

【0421】なお、上記の方法は、他の実施例のフラッシュメモリにも、同様に適用することができる。

【0422】(11) 第11の実施例(図58)  
第11の実施例によるフラッシュメモリの特徴も、プログラム時にベリファイ動作を必要としないことである。第11の実施例のフラッシュメモリの構成は、第6～第9のいずれかの実施例のフラッシュメモリの構成と同様である。また、一括消去動作および読出動作も、第6～第9の実施例と同様である。

【0423】図58を参照しながら第11の実施例によるフラッシュメモリのプログラム動作を説明する。

【0424】まず、選択されたワード線の電位をベリファイレベルに設定し、選択されたセレクトゲート線に高電圧を印加する(ステップS41)。それにより、選択されたセレクトゲートトランジスタがオンする。そして、ソース線をフローティング状態にする(ステップS42)。データ“0”に対応する主ビット線を5Vにプリチャージし、データ“1”に対応する主ビット線を0Vに保つ(ステップS43)。

【0425】その後、ソース線のある一定期間接地する(ステップS44)。もし選択されたセクタ内のメモリセルのしきい値電圧がベリファイレベルよりも高いと、データ“0”に対応する主ビット線の電位は上記のプリチャージレベルに保たれる。もし選択されたセクタ内のメモリセルのしきい値電圧がベリファイレベルよりも低いと、データ“0”に対応する主ビット線はメモリセルを介して放電される。

【0426】その後、すべての主ビット線の電位が0Vとなっていないならば(ステップS45)、ソース線をフローティング状態にし(ステップS46)、選択されたワード線に負電圧を印加する(ステップS47)。それにより、5Vにプリチャージされている主ビット線に接続されたメモリセルのみがプログラムされる。

【0427】上記のプログラムサイクルをすべてのビット線の電位が0Vになるまで繰返した後(ステップS45)、Xアドレスをインクリメントし、次のワード線に関して上記のプログラムサイクルを繰返す(ステップS48、S49)。上記のプログラムサイクルを選択されたセクタ内のすべてのワード線に関して行なうと、プログラム動作が終了する(ステップS48)。

【0428】上記の方法によると、主ビット線へのプログラム電圧の印加後、逐一ベリファイ動作を行なうことなく高速にプログラム動作を行なうことができ、かつプログラム動作を自動的に終了することができる。

【0429】なお、上記の方法は他の実施例のフラッシュメモリにも同様に適用することができる。

(12) 第12の実施例(図59～図64)

図59は、第12の実施例によるフラッシュメモリの全体の構成を示すブロック図である。図59に示したフラッシュメモリにおいても、図18に示したフラッシュメモリと類似の態様でプログラム動作および消去動作が行なわれる。図59を参照して、このフラッシュメモリは、プリデコーダ1451ないし1454と、グローバルデコーダ1455と、セレクトゲートデコーダ1456と、ウェル電位制御回路1457および1458と、ソース線ドライバ1459および1460と、セクタに分割されたメモリセルアレイ1461および1462と、ローカルデコーダ1463および1464を含む。

【0430】図60は、図59に示したメモリセルアレイおよびその周辺回路の回路図である。図60において、グローバルデコーダ1455、ローカルデコーダ1464、メモリセルアレイ、ソース線ドライバ1460およびセレクトゲートデコーダ1456についての詳細な回路が示されている。図60において、“2AL”は第2アルミ配線層により形成された配線を示し、“2POL”は第2ポリシリコン層により形成された配線を示す。次の表1は、消去動作、プログラム動作および読出動作において図59および図60に示した回路に与えられる電圧を示している。

【0431】

【表1】

	VPP1	VPP2	VBB1	VBB2	VBB2/2	AXA0~2
消去	10V	0V	0V	-8V	-4V	10V/0V
プログラム	0V	8V	-8V	0V	0V	0V/-10V
読出	3V	3V	0V	0V	0V	3V/0V
	BXA0~1	ASL	BSL	DXA0~1	CXA0~2	P-WELL
消去	10V	0V/-8V	-8V	-8V	0V/-8V	-8V
プログラム	0V/-10V	0V	0V	8V/0V	8V/0V	0V
読出	3V/0V	0V	3V	3V/0V	3V/0V	0V

第12の実施例では、すでに述べた様々な利点に加えて、次のような追加の利点も得られる。図61は、図60に示したワード線WL00ないしWL07およびWL10ないしWL17とローカルデコーダ1464の出力線WL0ないしWL7との間の接続態様を示す半導体基板上のレイアウト図である。図61を参照して、各ワード線WL00ないしWL07およびWL10ないしWL17は、第2ポリシリコン層により形成される。一方、ローカルデコーダ1464の各出力線は、第2アルミ配線層により形成される。各ワード線と対応する出力信号線との間の接続は、スルーホールを介して行なわれる。図61に示した接続態様は、図60に示した回路図においても示されていることが指摘される。

【0432】図60および図61に示した接続態様を用いることにより、ワード線とローカルデコーダの出力線との間の接続が簡単化され、したがって配線密度が低下され、その結果高い集積度が得られる。図62は、図60に示した2つのメモリセル1491および1492の間の分離を示す断面構造図である。図60に示したメモリセル1491および1492は、それぞれのセクタにおいて他方のセクタに最も近い位置に置かれている。これらのトランジスタ1491および1492を分離するため、図62に示すように、半導体基板内に分離酸化膜1490が形成される。2つの隣接するトランジスタ1491および1492を分離するために必要となる分離酸化膜1490の幅Wcは、図63に示すようなフィールドシールドのためのトランジスタ1495および1496を用いる場合と比較して少なくても足りる。すなわち、図63に示した例では、分離のためのトランジスタ1495および1496を形成するのみ大きな幅Wdが必要となるが、分離酸化膜1490を用いることによりより少ない幅Wcで近接する2つのトランジスタ1491および1492を分離することができる。これにより、より高い集積度が得られる。

【0433】図64は、第12の実施例において用いられるワード線電圧制御回路およびプリデコーダの回路図である。図64に示したワード線電圧制御回路1470は、図59において簡単化のために省略されている。図64を参照して、ワード線電圧制御回路1470は、V

PP発生器1471と、VBB発生器1472と、電圧検出器1473と、インバータ1474と、VPPスイッチング回路1475と、VPPスイッチング回路1476と、CMOSトランスミッションゲート1477および1478を含む。プリデコーダ1452は、CMOSトランスミッションゲートを構成するPMOSトランジスタ1481およびNMOSトランジスタ1482を含む。図64に示したワード線電圧制御回路1470およびプリデコーダ1452において、消去動作、プログラム動作および読出動作を実行するため前述の表1に示した電圧が与えられる。

【0434】一般に、フラッシュメモリのメモリセルのしきい電圧の分布を検査するため、テストのための外部電圧 $V_{EW}$ が与えられる。図64に示されるように、テストモード動作において、外部電圧 $V_{EW}$ は、ワード線電圧制御回路1470におけるCMOSトランスミッションゲート1478およびプリデコーダ1452におけるCMOSトランスミッションゲート（トランジスタ1481および1482により構成される）を介して図60に示したワード線WL00ないしWL17に与えられる。外部電圧 $V_{EW}$ の電圧経路がCMOS回路のみにより構成されているので、MOSトランジスタのしきい電圧による電圧の損失が生じない。言い換えると、より広い範囲で変化する外部電圧 $V_{EW}$ を電圧レベルの変化なしにワード線に与えることができ、所望のテストが行なわれ得る。

#### 【0435】(13) 第13実施例

図65はこの発明に従った不揮発性半導体記憶装置の第13実施例の模式図である。半導体基板80はメモリトランジスタ領域と周辺領域とに分けられている。メモリトランジスタ領域には、メモリトランジスタ87a、87b、87c、87dが間を隔てて形成されている。半導体基板80の主表面のうち、メモリトランジスタ領域には、n型のソース領域84a、84b、n型のドレイン領域85a、85bが間を隔てて形成されている。ソース領域84aはメモリトランジスタ87aと87bのソース領域となり、ソース領域84bはメモリトランジスタ87cと87dのソース領域となる。

【0436】またドレイン領域85aはメモリトランジ

スタ87bと87cのドレイン領域となり、ドレイン領域85bはメモリトランジスタ87dのドレイン領域となる。なお88はコントロールゲートを示し、89はフローティングゲートを示している。

【0437】半導体基板80の主表面のうち、メモリトランジスタ領域には、n型のソース／ドレイン領域83a、83bを有するセレクトゲートトランジスタ86が形成されている。ソース／ドレイン領域83bはメモリトランジスタ87aのドレイン領域の役割もしている。

【0438】メモリトランジスタ87a、87b、87c、87d上には多結晶シリコンからなる副ビット線90が形成されている。副ビット線90はソース／ドレイン領域83bと接続されている。副ビット線90から分岐した分岐線91aはドレイン領域85aと接続され、分岐線91bはドレイン領域85bと接続されている。副ビット線90上にはアルミニウムからなる主ビット線92が形成されている。主ビット線92は、ソース／ドレイン領域83aに接続されている。

【0439】半導体基板80中にはメモリトランジスタ領域を囲むようにpウェル領域82が形成されており、pウェル領域82を囲むようにnウェル領域81が形成されている。周辺領域にはMOSトランジスタ93が形成されている。この発明に従った不揮発性半導体記憶装置のさらに詳細な説明を第14実施例を用いて行なう。

【0440】(14) 第14実施例

図66(a)はこの発明に従った不揮発性半導体記憶装置の第14実施例のメモリトランジスタ部の一部の断面図である。p型シリコン基板201にはpウェル領域210が間を隔てて形成されている。pウェル領域210上には、メモリトランジスタ250～257、261、262、セレクトゲートトランジスタ259、260が形成されている。pウェル領域210には、各メモリトランジスタのn型のソース領域223、n型のドレイン領域224が形成されている。249はn型の不純物領域を示している。

【0441】各メモリトランジスタ、セレクトゲートトランジスタはシリコン酸化膜247で覆われている。ソース領域223上はシリコン酸化膜247によって塞がれている。これに対しドレイン領域224および不純物領域249上はシリコン酸化膜で塞がれていない。各メモリトランジスタはフローティングゲート219およびコントロールゲート220を備えている。

【0442】メモリトランジスタ250～257の各ドレイン領域224は1本の副ビット線227aによって電気的に接続されている。メモリトランジスタ261、262のドレイン領域224は1本の副ビット線227bによって電気的に接続されている。不純物領域249は接続導電層248と電気的に接続されている。また、フィールド酸化膜206上にはダミーゲート242を有するダミーゲートトランジスタ258が形成されてい

る。ダミーゲートトランジスタの詳細は後で説明する。

【0443】副ビット線227aおよび227b上には層間絶縁膜245が形成され、層間絶縁膜245上には主ビット線233が形成されている。主ビット線233は接続導電層248と電気的に接続されている。主ビット線233上には層間絶縁膜246が形成され、層間絶縁膜246上にはアルミニウム配線238が間を隔てて形成されている。

【0444】一方、シリコン基板201中にはpウェル領域210を覆うようにnウェル領域207が形成されている。

【0445】図66(b)は図66(a)に示すメモリトランジスタの等価回路図である。8個のメモリトランジスタの各ドレイン領域は副ビット線と接続され、ソース領域はソース線に接続されている。選択ゲート1によって主ビット線と副ビット線との導通／遮断が行なわれる。ワード線1～8はコントロールゲートのことである。

【0446】図67は、この発明に従った不揮発性半導体記憶装置の第14実施例のメモリトランジスタの断面構造図である。pウェル領域210とフローティングゲート219との間にはゲート酸化膜213が形成され、フローティングゲート219とコントロールゲート220の間にはONO膜215が形成されている。

【0447】次にこの発明に従った不揮発性半導体記憶装置の第14実施例の動作を図66(b)と図67を用いて説明する。まず消去動作について説明する。従来例で説明したNOR型およびNAND型は電子を引き抜くことにより消去状態にしていたが、この第14実施例では電子を注入することにより消去状態にしている。すなわち、メモリトランジスタ250～257を一括消去する場合、主ビット線233をフローティング状態に保ち、セレクトゲートトランジスタ259をOFFする。これにより副ビット線227aもフローティング状態となる。そしてソース線およびpウェル領域210aに-10V程度の電圧を印加する。そして、ワード線1～ワード線8に10V程度の電圧を印加する。これにより図67の②に示すようにチャネル領域にある電子がトンネル効果の1つであるチャネルFN現象によってフローティングゲート219に注入される。これが消去状態“1”であり $V_{th}$ の値は～6V程度である。

【0448】次に書込動作について説明する。たとえばメモリトランジスタ257を書込状態“0”にすると、セレクトゲートトランジスタ259をONし、主ビット線233に5V程度の電圧を印加する。これにより副ビット線227aの電圧も5V程度になる。そしてpウェル領域210aを接地電位に保ち、ソース線をOPENにする。さらに、ワード線8に-10V程度の電圧を印加し、ワード線1～ワード線7は接地電位に保つ。これにより、図67の①に示すように、メモリトランジ

スタ257のフローティングゲート219に蓄積された電子はトンネル効果の1つであるドレインFN現象によってドレイン領域224に引き抜かれる。これによりメモリトランジスタ257が書込状態“0”となり、このとき $V_{th}$ の値は1V程度になる。

【0449】次に読出動作を説明する。たとえばメモリトランジスタ257を読出すとき、セレクトゲートトランジスタ259をONし、主ビット線233に1V程度の電圧を印加する。そしてソース線およびpウェル領域210aを接地電位に保つ。そしてワード線8に3~5V程度の電圧を印加し、ワード線1~ワード線7を接地電位にする。このときメモリトランジスタ257が消去状態“1”のときはチャネルが形成されずビット線に電流が流れない。これに対し書込状態“0”のときはチャネルが形成されビット線に電流が流れる。これにより書込状態/消去状態の判定を行なう。

【0450】この第14実施例ではpウェル領域210に負の電圧を印加させている。pウェル領域210の周りにはnウェル領域207があるので、負の電圧を印加してもpウェル領域210とnウェル領域207とは逆バイアス状態となり、pウェル領域210に電圧を印加しても周辺回路形成領域に電圧が印加されることはない。

【0451】また、消去動作のとき、pウェル領域に負の電圧を印加し、ワード線に正の電圧を印加することにより、最大電圧の値を小さくしながらも、pウェル領域210とコントロールゲート220間の電位差を相対的に大きくし、チャネルFN効果を起こすことを可能にしている。

【0452】また、図66(a)に示すようにメモリトランジスタ250~257の各ドレイン領域224には副ビット線227aが接続されている。このため読出動作の際には読出電流を多くとることができるのでNAND型に比べて読出動作を高速に行なえる。

【0453】さらに、図67に示すように書込動作をドレインFNを用いているので、チャネルホットエレクトロンを用いる場合に比べ高い効率で書込動作を行なうことができ、これにより消費電力の低減を図れる。

【0454】次に図66(a)に示す構造の平面的配置状態を説明する。図68はコントロールゲート220を形成した状態までにおける平面図である。図68をA-A線で切断した状態が、図66(a)においてコントロールゲート220までの状態を示している。コントロールゲート220、選択ゲート234、ダミーゲート242、ソース線223aは縦方向に延びている。ソース線223aは図66(a)に示すソース領域223をつな

げたものである。フィールド酸化膜206とドレイン領域224が交互に形成されている。なお、選択ゲート234上にある配線層(メモリトランジスタのコントロールゲートにあたる)は図示を省略している。

【0455】図69は図68の上に副ビット線227a、227bを形成した状態を示している。ソース線223aは配線層241と電氣的に接続されている。配線層241は副ビット線227a、227bと同時に形成されたものである。

【0456】また、選択ゲート234はポリパッド236と電氣的に接続されている。ポリパッド236も副ビット線227a、227bと同時に形成されたものである。なお、副ビット線227a、227bとドレイン領域224とのコンタクトは図示が省略されている。また、接続導電層248と不純物領域249とのコンタクトも図示が省略されている。

【0457】図70は図69の上に主ビット線233を形成した状態を示している。主ビット線233は接続導電層248と電氣的に接続されている。アルミ電極237a、237b、237c、237dは主ビット線233と同時に形成されたものである。アルミ電極237aは一方のポリパッド236と電氣的に接続され、アルミ電極237bは他方のポリパッド236と電氣的に接続されている。アルミ電極237cは配線層241と電氣的に接続されている。またアルミ電極237dはダミーゲート242と電氣的に接続されている。

【0458】図71は図70の上にアルミ配線238a~238gを形成した状態を示している。アルミ配線238aはアルミ電極237aと電氣的に接続され、アルミ配線238bはアルミ電極237bと電氣的に接続され、アルミ配線238eはアルミ電極237cと電氣的に接続され、アルミ配線238f、238gはアルミ電極237bと電氣的に接続されている。

【0459】次に、この発明に従った不揮発性半導体記憶装置の第14実施例の全体の構成および動作の第1~第7の例を表2を参照しながら説明する。

【0460】この不揮発性半導体記憶装置に含まれるメモリセルマトリックスは、以下に説明するように複数のセクタに分割されている。表2には、選択されたセクタ内のメモリセル(メモリトランジスタ)および非選択のセクタ内のメモリセル(メモリトランジスタ)への電圧印加条件が示される。表2において、 $V_d$ はドレイン電圧、 $V_g$ はコントロールゲート電圧、 $V_s$ はソース電圧、 $V_{bb}$ はウェル電圧を示す。

【0461】

【表2】

消去時印加電圧

	選択セクタ印加電圧				非選択セクタ印加電圧			
	Vd	Vg	Vs	Vbb	Vd	Vg	Vs	Vbb
E1	open	10V	open	-8V	open	0V	open	-8V
E2	open	10V	-8V	-8V	open	0V	-8V	-8V
E3	open	10V	open	-8V	open	0V	-8V	-8V
E4	open	10V	open	-8V	open	0V	0V	-8V
E5	open	10V	open	-8V	open	0V	-4V	-8V
E6	open	10V	-8V	-8V	open	0V	0V	-8V
E7	open	10V	-8V	-8V	open	0V	-4V	-8V

書込時印加電圧

	選択Bit印加電圧				非選択Bit印加電圧			
	Vd	Vg	Vs	Vbb	Vd	Vg	Vs	Vbb
P1	5V	-8V	open	0V	open	0V	0V	0V

読出時印加電圧

	選択Bit印加電圧				非選択Bit印加電圧			
	Vd	Vg	Vs	Vbb	Vd	Vg	Vs	Vbb
R1	1V	3V	0V	0V	open	0V	0V	0V

【0462】<1> 第1の例

(a) 不揮発性半導体記憶装置の全体の構成  
図72は、第1の例による不揮発性半導体記憶装置の全体の構成を示すブロック図である。

【0463】メモリセルマトリックス70はセクタSE1、SE2に分割されている。メモリセルマトリックス70は、セクタSE1、SE2にそれぞれ対応するセレクトゲートSG1、SG2を含む。メモリセルマトリックス70はPウェル領域71内に形成される。

【0464】メモリセルマトリックス70には2つの主ビット線MB0、MB1が配列される。主ビット線MB0、MB1はそれぞれYゲート72内のYゲートトランジスタYG0、YG1を介してセンスアンプ52および書込回路53に接続される。

【0465】主ビット線MB0に対応して2つの副ビット線SB01、SB02が設けられ、主ビット線MB1に対応して2つの副ビット線SB11、SB12が設けられる。

【0466】副ビット線SB01、SB11に交差するようにワード線WL0、WL1が配列され、副ビット線SB02、SB12に交差するようにワード線WL2、WL3が配列される。

【0467】副ビット線SB01、SB02、SB11、SB12とワード線WL0～WL3との交点にはそれぞれメモリセル（メモリトランジスタ）M00～M03、M10～M13が設けられる。メモリセルM00、M01、M10、M11はセクタS1に含まれ、メモリセルM02、M03、M12、M13はセクタSE2に

含まれる。

【0468】各メモリセルのドレインは対応する副ビット線に接続され、コントロールゲートは対応するワード線に接続され、ソースはソース線SLに接続される。

【0469】セレクトゲートSG1はセレクトゲートトランジスタSG01、SG11を含み、セレクトゲートSG2はセレクトゲートトランジスタSG02、SG12を含む。副ビット線SB01、SB02はそれぞれセレクトゲートトランジスタSG01、SG02を介して主ビット線MB0に接続され、副ビット線SB11、SB12はそれぞれセレクトゲートトランジスタSG11、SG12を介して主ビット線MB1に接続される。

【0470】アドレスバッファ58は、外部から与えられるアドレス信号を受け、Xアドレス信号をXデコーダ59に与え、Yアドレス信号をYデコーダ57に与える。Xデコーダ59は、Xアドレス信号にตอบสนองして複数のワード線WL0～WL3のうちいずれかを選択する。Yデコーダ57は、Yアドレス信号にตอบสนองして複数の主ビット線MB0、MB1のいずれかを選択する選択信号を発生する。

【0471】Yゲート72内のYゲートトランジスタは、それぞれ選択信号にตอบสนองして主ビット線MB0、MB1をセンスアンプ52および書込回路53に接続する。

【0472】読出時には、センスアンプ52が、主ビット線MB0または主ビット線MB1上に読出されたデータを検知し、データ入出力バッファ51を介して外部に出力する。

【0473】書込時には、外部から与えられるデータがデータ入出力バッファ51を介して書込回路53に与えられ、書込回路53はそのデータに従って主ビット線MB0、MB1にプログラム電圧を与える。

【0474】高電圧発生回路54、55は外部から電源電圧Vcc（たとえば5V）を受け、高電圧を発生する。負電圧発生回路56は外部から電源電圧Vccを受け、負電圧を発生する。ペリファイ電圧発生回路60は、外部から与えられる電源電圧Vccを受け、ペリファイ時に、選択されたワード線に所定のペリファイ電圧を与える。ウェル電位発生回路61は、消去時に、pウェル領域71に負電圧を印加する。ソース制御回路62は、消去時に、ソース線SLに高電圧を与える。セレクトゲートデコーダ63は、アドレスバッファ58からのアドレス信号の一部に応答して、セレクトゲートSG1、SG2を選択的に活性化する。

【0475】書込／消去制御回路50は、外部から与えられる制御信号に応答して、各回路の動作を制御する。

【0476】(b) 不揮発性半導体記憶装置の動作次に、不揮発性半導体記憶装置のセクタ消去動作、書込動作および読出動作を表1を参照しながら説明する。

【0477】(i) セクタ消去動作

ここでは、セクタSE1を一括消去するものと仮定する。まず、書込／消去制御回路50にセクター一括消去動作を指定する制御信号が与えられる。それにより、高電圧発生回路55および負電圧発生回路56が活性化される。

【0478】高電圧発生回路55はXデコーダ59に高電圧（10V）を与える。Xデコーダ59は、セクタSE1のワード線WL0、WL1に高電圧（10V）を印加し、セクタSE2のワード線WL2、WL3に0Vを印加する。負電圧発生回路56はYデコーダ57およびウェル電位発生回路61に負電圧を与える。Yデコーダ57はYゲート72内のYゲートトランジスタYG0、YG1に負電圧を印加する。それにより、主ビット線MB0、MB1はフローティング状態になる。ソース制御回路62はソース線SLをフローティング状態にする。また、ウェル電位発生回路61はpウェル領域71に負電圧（-8V）を印加する。セレクトゲートデコーダ63はセレクトゲートSG1、SG2をオフ状態にする。

【0479】このようにして、選択セクタSE1内のメモリセルおよび非選択セクタSE2内のメモリセルに、表2の(E1)に示されるように電圧が印加される。その結果、セクタSE1内のすべてのメモリセルは消去される。

【0480】(ii) 書込動作

ここでは、メモリセルM00をプログラムするものと仮定する。すなわち、メモリセルM00にデータ“0”を書込み、メモリセルM10はデータ“1”を保持する。

【0481】まず、書込／消去制御回路50に、プログ

ラム動作を指定する制御信号が与えられる。それにより、高電圧発生回路54および負電圧発生回路56が活性化される。

【0482】負電圧発生回路56はXデコーダ59に負電圧を与える。Xデコーダ59は、アドレスバッファ58から与えられるXアドレス信号に応答してワード線WL0を選択し、選択されたワード線WL0に負電圧（-8V）を印加し、非選択のワード線WL1～WL3に0Vを印加する。

【0483】高電圧発生回路54はYデコーダ57、書込回路53およびセレクトゲートデコーダ63に高電圧を与える。まず、外部からデータ入出力バッファ51を介してデータ“0”が書込回路53に与えられ、ラッチされる。Yデコーダ57は、アドレスバッファ58から与えられるYアドレス信号に応答してYゲート72内のYゲートトランジスタYG0に高電圧を印加し、YゲートトランジスタYG1に0Vを印加する。それにより、YゲートトランジスタYG0がオンする。

【0484】書込回路53はYゲートトランジスタYG0を介して主ビット線MB0にデータ“0”に対応するプログラム電圧（5V）を印加する。また、セレクトゲートデコーダ63は、セレクトゲートSG1をオン状態にし、セレクトゲートSG2をオフ状態にする。それにより、副ビット線SB01、SB11がそれぞれ主ビット線MB0、MB1に接続される。ソース制御回路62は、ソース線SLをフローティング状態にする。ウェル電位発生回路61はpウェル領域71に0Vを印加する。

【0485】このようにして、メモリセルM00に、表2の(P1)の左欄に示されるように電圧が印加される。その結果、メモリセルM00のしきい値電圧が下降する。

【0486】一定時間（たとえば1m秒）経過後、外部からデータ入出力バッファ51を介してデータ“1”が書込回路53に与えられ、ラッチされる。Yデコーダ57は、アドレスバッファ58から与えられるYアドレス信号に応答してYゲート72内のYゲートトランジスタYG1に高電圧を印加し、YゲートトランジスタYG0に0Vを印加する。それにより、YゲートトランジスタYG1がオンする。書込回路53は、YゲートトランジスタYG1を介して主ビット線MB1にデータ“1”に対応する0Vを印加する。

【0487】このようにして、メモリセルM10に、表2の(P1)の右欄に示されるように電圧が印加される。その結果、メモリセルM10のしきい値電圧は高いまま維持される。

【0488】(iii) 読出動作

ここでは、メモリセルM00からデータを読出すものと仮定する。まず、書込／消去制御回路50に、読出動作を指定する制御信号が与えられる。

【0489】Xデコーダ59は、アドレスバッファ58から与えられるXアドレス信号に応答してワード線WL0を選択し、それに3Vを印加する。このとき、ワード線WL1～WL3は0Vに保たれる。セレクトゲートデコーダ63は、セレクトゲートSG1をオン状態にし、セレクトゲートSG2をオフ状態にする。Yデコーダ57は、アドレスバッファ58から与えられるYアドレス信号に応答してYゲート72内のYゲートトランジスタYG0をオンさせる。ソース制御回路62はソース線SLを接地する。

【0490】このようにして、選択されたメモリセルM00に、表2の(R1)の左欄に示されるように電圧が印加される。それにより、M00の内容が“1”であれば主ビット線MB0に読出電流が流れる。この読出電流がセンスアンプ52により検知され、データ入出力バッファ51を介して外部に出力される。このとき、非選択のメモリセルには、表2の(R1)の右欄に示されるように電圧が印加される。

【0491】<2> 第2の例

(a) 不揮発性半導体記憶装置の全体の構成

図73は、第2の例による不揮発性半導体記憶装置の全体の構成を示すブロック図である。

【0492】図73の不揮発性半導体記憶装置が図72の不揮発性半導体記憶装置と異なるのは、負電圧発生回路56が消去時にソース制御回路62に負電圧を与える点である。

【0493】他の部分の構成は、図72に示される構成と同様である。

(b) 不揮発性半導体記憶装置の動作

第2の例の不揮発性半導体記憶装置の書込動作および読出動作は第1の例と同様である。また、セクター一括消去動作では、ソース制御回路62によりソース線SLに負電圧(-8V)が印加される点が第1の例と異なる。

【0494】一括消去時には、選択セクタ内のメモリセルには、表2の(E2)の左欄に示されるように電圧が印加され、非選択セクタ内のメモリセルには表2の(E2)の右欄に示されるように電圧が印加される。

【0495】<3> 第3の例

(a) 不揮発性半導体記憶装置の全体の構成

図74は、第3の例による不揮発性半導体記憶装置の全体の構成を示すブロック図である。

【0496】第3の例の不揮発性半導体記憶装置が第1の例の不揮発性半導体記憶装置と異なるのは次の点である。ソース制御回路62の代わりにソースデコーダ102が設けられる。また、負電圧発生回路56はYデコーダ57の代わりにセレクトゲートデコーダ63およびソースデコーダ102に負電圧を与える。

【0497】セクタSE1内のメモリセルM00, M01, M10, M11のソースはソース線SL1に接続され、セクタSE2内のメモリセルM02, M03, M1

2, M13のソースはソース線SL2に接続される。ソースデコーダ102の出力端子はソース線SL1, SL2に接続される。

【0498】(b) 不揮発性半導体記憶装置の動作  
第3の例の不揮発性半導体記憶装置の書込動作および読出動作は第1の例と同様である。セクター一括消去動作では、ソースデコーダ102が、選択セクタに対応するソース線をフローティング状態にし、非選択セクタに対応するソース線に負電圧(-8V)を印加する。たとえば、セクタSE1の一括消去時には、ソース線SL1がフローティング状態にされ、ソース線SL2に-8Vが印加される。

【0499】このようにして、選択セクタ内のメモリセルには、表2の(E3)の左欄に示されるように電圧が印加され、非選択セクタ内のメモリセルには表2の(E3)の右欄に示されるように電圧が印加される。

【0500】その結果、非選択セクタ内のメモリセルのデータを安定に保護しつつ、選択セクタ内のメモリセルを一括消去することができる。

【0501】<4> 第4の例

(a) 不揮発性半導体記憶装置の全体の構成

図75は、第4の例による不揮発性半導体記憶装置の全体の構成を示すブロック図である。

【0502】第4の例の不揮発性半導体記憶装置が図74に示す第3の例の不揮発性半導体記憶装置と異なるのは次の点である。負電圧発生回路56は、消去時にウェル電位発生回路61のみに負電圧を与え、セレクトゲートデコーダ63およびソースデコーダ102には負電圧を与えない。

【0503】(b) 不揮発性半導体記憶装置の動作  
第4の例の不揮発性半導体記憶装置の書込動作および読出動作は第1の例と同様である。

【0504】一括消去動作時には、ソースデコーダ102が、選択セクタに対応するソース線をフローティング状態にし、非選択セクタに対応するソース線に0Vを印加する。たとえば、セクタSE1の一括消去時には、ソース線SL1がフローティング状態にされ、ソース線SL2には0Vが印加される。

【0505】このようにして、選択セクタ内のメモリセルには、表2の(E4)の左欄に示されるように電圧が印加され、非選択セクタ内のメモリセルには、表2の(E4)の右欄に示されるように電圧が印加される。

【0506】その結果、非選択セクタ内のメモリセルのデータを安定に保護にしつつ、選択セクタ内のメモリセルを一括消去することができる。

【0507】<5> 第5の例

(a) 不揮発性半導体記憶装置の全体の構成

図76は、第5の例による不揮発性半導体記憶装置の全体の構成を示すブロック図である。

【0508】第5の例の不揮発性半導体記憶装置が図7



5に示す第4の例の不揮発性半導体記憶装置と異なるのは次の点である。2つの負電圧発生回路56a、56bが設けられている。負電圧発生回路56aはウェル電位発生回路61、セレクトゲートデコーダ63およびソースデコーダ102に負電圧を与える。負電圧発生回路56bはXデコーダ59に負電圧を与える。他の部分の構成は図75に示される構成と同様である。

【0509】(b) 不揮発性半導体記憶装置の動作  
第5の例の不揮発性半導体記憶装置の書込動作および読出動作は第1の例と同様である。

【0510】セクター一括消去動作時には、ソースデコーダ102が、選択セクタに対応するソース線をフローティング状態にし、非選択セクタに対応するソース線に-4Vを印加する。たとえば、セクタSE1の一括消去時には、ソース線SL1がフローティング状態にされ、ソース線SL2には-4Vが印加される。

【0511】このようにして、選択セクタ内のメモリセルには、表2の(E5)の左欄に示されるように電圧が印加され、非選択セクタ内のメモリセルには、表2の(E5)に示されるように電圧が印加される。

【0512】その結果、非選択セクタ内のメモリセルのデータを安定に保護しつつ、選択セクタ内のメモリセルを一括消去することができる。

【0513】<6> 第6の例

第6の例による不揮発性半導体記憶装置の全体の構成は、図74に示される構成と同様である。また、第6の例の不揮発性半導体記憶装置の書込動作および読出動作は、第1の例と同様である。

【0514】一括消去動作時には、ソースデコーダ102が、選択セクタに対応するソース線に-8Vを印加し、非選択セクタに対応するソース線に0Vを印加する。たとえば、セクタSE1の一括消去時には、ソース線SL1に-8Vが印加され、ソース線SL2に0Vが印加される。

【0515】このようにして、選択セクタ内のメモリセルには、表2の(E6)の左欄に示されるように電圧が印加され、非選択セクタ内のメモリセルには、表2の(E6)の右欄に示されるように電圧が印加される。

【0516】その結果、非選択セクタ内のメモリセルのデータを安定に保護しつつ、選択セクタ内のメモリセルを一括消去することができる。

【0517】<7> 第7の例

第7の例による不揮発性半導体記憶装置の全体の構成は、図76に示される構成と同様である。また、第7の例の不揮発性半導体記憶装置の書込動作および読出動作は、第1の例と同様である。

【0518】セクター一括消去動作時には、ソースデコーダ102が、選択セクタに対応するソース線に-8Vを印加し、非選択セクタに対応するソース線に-4Vを印加する。たとえば、セクタSE1の選択時には、ソース

線SL1に-8Vが印加され、ソース線SL2に-4Vが印加される。

【0519】このようにして、選択セクタ内のメモリセルに、表2の(E7)の左欄に示されるように電圧が印加され、非選択セクタ内のメモリセルに、表2の(E7)の右欄に示されるように電圧が印加される。

【0520】その結果、非選択セクタ内のメモリセルのデータを安定に保護しつつ、選択セクタ内のメモリセルを一括消去することができる。

【0521】<8> 各例の利点

第1および第2の例では、非選択セクタが基板からある程度ディスターブを受けるが、ソースデコーダは不要であり、負電圧発生回路は1つだけでよい。

【0522】第3の例では、非選択セクタが基板から受けるディスターブは小さい。また、負電圧発生回路は1つだけでよい。さらに、消去時のソースの接合耐圧は低くてよい。ただし、ソースデコーダが必要である。

【0523】第4および第6の例では、非選択セクタが基板から受けるディスターブは最も小さい。また負電圧発生回路は1つだけでよい。ただし、ソースデコーダが必要であり、ソースの接合耐圧が8Vだけ必要である。

【0524】第5および第7の例では、非選択セクタが基板から受けるディスターブはやや小さく、ソースの接合耐圧も~4Vと小さくてよい。ただし、ソースデコーダが必要であり、2つの負電圧発生回路が必要である。

【0525】次に、図66(a)に示すこの発明に従った不揮発性半導体記憶装置の第14実施例の製造方法について、図77~図95を用いて説明する。図77~図95は、上記の構造を有する不揮発性半導体記憶装置の製造方法における第1工程~第19工程を示す断面図である。

【0526】まず図77を参照して、p型シリコン基板201主表面に、300Å程度の膜厚を有する下敷き酸化膜202を形成する。そして、この下敷き酸化膜202上に、CVD(Chemical Vapour Deposition)法を用いて、500Å程度の膜厚の多結晶シリコン膜203を形成する。この多結晶シリコン膜203上に、CVD法などを用いて、1000Å程度のシリコン窒化膜204を形成する。そして、このシリコン窒化膜204上に、素子分離領域を露出するようにレジスト205を形成する。このレジスト205をマスクとして異方性エッチングを行なうことによって、素子分離領域上のシリコン窒化膜204および多結晶シリコン膜203をエッチングする。

【0527】その後、レジスト205を除去し、シリコン窒化膜204をマスクとして用いて選択酸化を行なうことによって、図78に示されるように、フィールド酸化膜206を形成する。そして、上記の多結晶シリコン膜203およびシリコン窒化膜204を除去する。

【0528】次に、図79に示されるように、メモリト

ランジスタ領域および周辺回路領域の一部に、3.0 MeV,  $2.0 \times 10^{13} \text{ cm}^{-3}$ の条件で、リン(P)をイオン注入する。そして、1000℃の温度で1時間の不純物ドライブを行なう。それにより、nウェル207が形成される。その後、図80に示されるように、メモリセル形成領域を覆うようにレジスト209を形成し、このレジスト209をマスクとして用いて、リン(P)を1.2 MeV,  $1.0 \times 10^{13} \text{ cm}^{-3}$ の条件でイオン注入し、さらに、リン(P)を180 KeV,  $3.5 \times 10^{12} \text{ cm}^{-3}$ の条件でイオン注入する。それにより、周辺回路領域の一部にnウェル(図示せず)が形成される。

【0529】次に、図81を参照して、メモリトランジスタ領域に、700 KeV,  $1.0 \times 10^{13} \text{ cm}^{-3}$ の条件でボロン(B)をイオン注入し、さらに180 KeV,  $3.5 \times 10^{12} \text{ cm}^{-3}$ の条件でボロン(B)をイオン注入する。それにより、pウェル210が形成される。

【0530】そして、各メモリトランジスタのしきい値電圧制御のための不純物注入を行なった後、図82を参照して、p型シリコン基板201主表面上全面に、熱酸化処理を施すことによって150 Å程度の膜厚のゲート絶縁膜211を形成する。そして、このゲート絶縁膜211上における選択ゲートトランジスタ(後述)形成領域を覆うようにレジスト212を形成する。このレジスト212をマスクとして用いて、エッチングを行なうことによって上記のゲート絶縁膜211の選択ゲートトランジスタ形成領域以外の部分を除去する。

【0531】上記のレジスト212を除去し、再び熱酸化処理を施すことによって、p型シリコン基板201上全面に100 Å程度の膜厚のゲート絶縁膜213を形成する。それにより、選択ゲートトランジスタ形成領域には、約250 Å程度の膜厚を有するゲート絶縁膜211, 213が形成されることになる。そして、このゲート絶縁膜211, 213上に、CVD法などを用いて第1の多結晶シリコン膜214を1200 Å程度の膜厚に形成する。そして、この第1の多結晶シリコン膜厚214上に、所定形状(この場合であれば紙面に垂直方向に断続的に複数のレジストパターンが形成される)のレジスト212aを堆積し、このレジスト212aをマスクとして用いて第1の多結晶シリコン膜214をエッチングする。

【0532】その後、図84に示されるように、上記の第1の多結晶シリコン膜214上に、CVD法などを用いて100 Å程度の膜厚の高温酸化膜を形成し、この高温酸化膜上にCVD法などを用いてシリコン窒化膜を100 Å程度の厚みに形成し、さらにこのシリコン窒化膜上にCVD法を用いて150 Å程度の厚みの高温酸化膜を形成する。それにより、ONO膜215が形成される。

【0533】次に、図85を参照して、上記のONO膜

215上に、CVD法を用いて、不純物が導入された多結晶シリコン層を1200 Å程度の厚みに形成する。そしてこの多結晶シリコン層上にスパッタリング法を用いて、タングステンシリサイド(WSi)層を1200 Å程度の厚みに形成する。これらにより、コントロールゲート電極となる導電層216が形成される。この導電層216上にCVD法を用いて、2000 Å程度の膜厚を有する高温酸化膜217を形成する。そして、メモリトランジスタ領域および周辺部のトランジスタ形成領域上に位置する高温酸化膜217上に、レジスト218を形成し、このレジスト218をマスクとしてエッチングを行なうことによって、周辺回路で用いるトランジスタの電極を形成する。

【0534】次に、図86を参照して、上記の高温酸化膜217上に、図86において横方向に断続的にレジスト218aを形成する。そして、このレジスト218aをマスクとして用いて、高温酸化膜217、導電膜216、ONO膜215、第1の多結晶シリコン膜214をエッチングする。それにより、フローティングゲート電極219およびコントロールゲート電極220が形成される。

【0535】次に、図87(a)を参照して、図86に示される状態のフラッシュメモリ上に、さらにレジスト221を塗布し、メモリトランジスタのソース領域となる部分を露出させるようにこのレジスト221をパターニングする。図87(b)は、図87(a)に示される状態のフラッシュメモリの一部平面を示す平面図である。そして、図87(b)におけるB-B線に沿って見た断面が、図87(a)に示されることになる。このようにパターニングされたレジスト221をマスクとして用いて、ドライエッチングを行なうことによってソース領域上に形成されているフィールド酸化膜206を除去する。

【0536】そして、レジスト218a, 211を除去した後、図88に示されるように、選択ゲートトランジスタのみを露出させるようにレジストパターン221aを形成する。そして、このレジストパターン221aをマスクとして用いて、リン(P)を60 KeV,  $3.0 \times 10^{13} \text{ cm}^{-3}$ の条件でイオン注入する。それにより、選択ゲートトランジスタのソース/ドレイン領域223, 224を形成する。そして、上記のレジスト221aを除去する。

【0537】その後、図89を参照して、選択ゲートトランジスタとなるトランジスタを覆い他のメモリセルを露出するようにレジストパターン221bを形成する。そして、このレジスト221bをマスクとして用いて、35 KeV,  $5.5 \times 10^{15} \text{ cm}^{-3}$ の条件で、砒素(As)をイオン注入する。それにより、メモリトランジスタのソース/ドレイン領域およびソース線が形成されることになる。そして、レジスト221bを除去する。

【0538】次に、図90を参照して、メモリトランジスタ領域に、CVD法を用いて、2000Å程度の膜厚を有する高温酸化膜を形成する。そして、この高温酸化膜を異方性エッチングすることによって、選択ゲートトランジスタの側壁あるいはメモリトランジスタの側壁にサイドウォール225を形成する。そして、このサイドウォール225をマスクとして用いて、35KeV、 $4.0 \times 10^{15} \text{ cm}^{-3}$ の条件で、砒素(As)をイオン注入する。それにより、周辺部のトランジスタのソース／ドレイン領域を形成する。

【0539】その後、図91を参照して、メモリトランジスタ領域に、TEOS(Tetra ethyl ortho Silicate)膜などからなるシリコン酸化膜226を堆積する。そして、30分程度の酸化膜のシンタ処理を行なう。そして、図92に示すように、このシリコン酸化膜226を異方性エッチングすることによって、サイドウォール225aが形成されることになる。このサイドウォール225aの形成によって、メモリセルにおけるソース領域は、シリコン酸化膜によって覆われることになる。

【0540】次に、図93を参照して、CVD法などを用いて、2000Å程度の膜厚を有する多結晶シリコン層を形成し、この多結晶シリコン層に不純物を導入することによって導電性をもたせる。この多結晶シリコン層上に所定形状のレジスト228を塗布し、このレジスト228をマスクとしてパターンニングすることによって副ビット線227が形成される。

【0541】次に、図94を参照して、上記のレジスト228を除去した後、副ビット線227上に、CVD法を用いてTEOS膜などからなるシリコン酸化膜229を形成する。このシリコン酸化膜229の膜厚は、1500Å程度である。このシリコン酸化膜229上に、CVD法などを用いて、膜厚500Å程度のシリコン窒化膜230を形成する。そして、このシリコン窒化膜230上に、CVD法などを用いて10000Å程度の膜厚を有するBPTEOS膜などからなるシリコン酸化膜231を形成する。その後、850℃程度の熱処理によりリフローを行ない、HF等によりBPTEOS膜を5000Å程度エッチバックする。そして、このシリコン酸化膜231上に所定形状のレジスト232を堆積し、このレジスト232をマスクとして用いて、シリコン酸化膜229、231およびシリコン窒化膜230をエッチングする。それにより、副ビット線227と後の工程で形成される主ビット線233との接続のためのコンタクトホール233aが形成されることになる。

【0542】次に、図95を参照して、上記のコンタクトホール233a内に、CVD法およびエッチバック法を用いて、タングステンプラグ233bを形成する。そして、このタングステンプラグ233b上およびシリコン酸化膜231上に、スパッタリング法などを用いて、

5000Å程度の膜厚を有するアルミニウム合金層を形成する。そして、このアルミニウム合金層上に所定形状のレジスト232aを堆積し、このレジスト232aをマスクとしてアルミニウム合金層をパターンニングすることによって主ビット線233が形成される。その後、レジスト232aを除去し、この主ビット線上に層間絶縁層を形成する。そして、スルーホール形成工程を経てこの層間絶縁層上にさらにアルミニウム配線層を形成する。それにより、図66(a)に示される不揮発性半導体装置が形成されることになる。

【0543】次に、この発明に従った不揮発性半導体記憶装置の第14実施例のセレクトゲートコンタクト部の製造方法について、図96～図100を用いて説明する。図96～図100は、図68におけるC-C線に沿って見た断面を示す図である。

【0544】まず、図96を参照して、上記の実施例と同様の工程を経て、高温酸化膜217までを形成する。選択ゲートトランジスタとはいえば、その上層に形成されるアルミニウム配線層238とコンタクトホールを介して接続される。したがって、その接続部には、コンタクトホールが形成されることになる。このコンタクト部が図97に示されている。図97を参照して、上記のように高温酸化膜217を堆積した後、エッチングを行なうことによってコンタクト部における高温酸化膜217および導電膜216を除去する。それにより、コンタクトホール251が形成される。

【0545】そして、図98を参照して、CVD法などを用いてTEOS膜などからなる酸化膜を全面に形成した後、異方性エッチングを行なうことによって、コンタクトホール251の側壁にシリコン酸化膜235を残存させる。このとき、このサイドウォールとなるシリコン酸化膜235の形成時に、第1の多結晶シリコン膜214上のONO膜215もエッチングされるため、第1の多結晶シリコン膜214は露出している。

【0546】次に、図99を参照して、コンタクトホール251に多結晶シリコンからなるポリパッド236を形成し、同時に副ビット線227を形成する。その後、図100に示されるように、ポリパッド236上および副ビット線227上に層間絶縁膜245を形成する。そして、この層間絶縁膜245におけるポリパッド236上に位置する部分に、コンタクトホール251aを形成し、このコンタクトホール251aにアルミ電極237を形成する。このとき、このアルミ電極237の形成と同時に、主ビット線233が形成される。このように、選択ゲートトランジスタのコンタクト部にポリパッド236を形成することによって、このコンタクト部におけるアスペクト比を小さくすることができ、かつパターンを重ね合わせのマーヅンを増大することが可能となる。

【0547】以上のようにして主ビット線233およびアルミニウム電極237が形成された後は、上記の実施

例と同様の工程を経て不揮発性半導体記憶装置が形成されることになる。

【0548】次に、図101～図106を用いて、この発明に基づく不揮発性半導体記憶装置の第14実施例のソース線コンタクト部の製造方法について説明する。図101は、図70に示された不揮発性半導体記憶装置の一部を示す平面図である。まず図101を参照して、ソース線223aは、ソース線コンタクト部239において、コンタクト部以外のソース線223aの幅W2よりも大きい幅W1を有するように形成されている。一方、この形状を反映して、ドレイン領域の幅は、ソース線コンタクト部239に挟まれる部分においては、W4と小さく、それ以外の部分では、このW4より大きいW3の幅を有している。このような幅の違いを利用して、本実施例においては、ソース線コンタクト部239のコンタクトホール形成と、ドレインコンタクト部240におけるコンタクトホール形成とは同時に行なおうとするものである。

【0549】以下に、図102～図106を用いて、詳しく説明する。図102(I)は、図101におけるD-D線に沿った見た断面を示す図である。図102(II)は、図101におけるE-E線に沿って見た断面を示す図である。以下、図103～図106においても同様とする。

【0550】まず、図102を参照して、メモリトランジスタにおけるフローティングゲート電極219、ONO膜215、コントロールゲート電極220および高温酸化膜217を上記の実施例と同様の工程を経て形成する。このとき、(I)図においては、ソース部の間隔がドレイン部の間隔よりも広がっており、(II)図においては、ドレイン部の間隔がソース部の間隔よりも広がっている。

【0551】このような状態のメモリトランジスタに、図103に示されるように、上記の実施例と同様の方法でサイドウォール225を形成する。そして、サイドウォール225上に、図104に示されるように、さらに酸化膜226を堆積する。

【0552】その後、図105(I)を参照して、上記の酸化膜226に異方性エッチングを施すことによって、ソース線コンタクト部239に、コンタクトホール239aを形成する。このとき、ソース部の幅がドレイン部の幅よりも広いため、ソース部の方がエッチングされやすくなり、ソース部においてはコンタクトホール239aが形成されるが、ドレイン部においてはコンタクトホールが形成されない。

【0553】一方、図105(II)を参照して、この場合であれば、ドレイン部の方がソース部よりも幅が広がっているため、上記の場合と同様の考え方で、ドレイン部のみにコンタクトホール240aが形成されることになる。このようにして、コンタクトホール239a

および240aが同時に形成された後、図106に示されるように、メモリトランジスタ上に多結晶シリコンなどからなる副ビット線227および配線層241が形成されることになる。

【0554】以上のように、この実施例によれば、ソース線223aの幅の違いおよびドレイン部の幅の違いを利用して、ソース線コンタクト部239の形成とドレインコンタクト部240の形成とを同時に行なうことが可能となる。また、それぞれのコンタクトホール形成のためのマスクも必要としないため、工程の簡略化および製造コストの低減が可能となる。

#### 【0555】(15) 第15実施例

次に、図107を用いて、この発明に従った不揮発性半導体記憶装置の第15実施例について説明する。図107(a)は、ダミーメモリトランジスタを形成しない場合の副ビット線227形成後の不揮発性半導体記憶装置の断面図であり、図107(b)は、ダミーメモリトランジスタを形成した場合、つまり不揮発性半導体記憶装置の第15実施例の断面図である。まず図107(a)を参照して、副ビット線227の一方端は選択ゲートトランジスタ234上で切れており、他方端は、フィールド酸化膜206上で切れている。このような場合には、コンタクトエッチング時などにフィールド酸化膜206が膜減りし、分離特性が劣化するといった問題点がある。

【0556】そこで、第15実施例においては、このフィールド酸化膜206上にダミーメモリトランジスタ242bを形成している。それにより、素子間の分離耐圧を劣化させることなくかつ副ビット線227における段差も低減することが可能となる。このように、第15実施例においては、ダミーメモリトランジスタ242bをフィールド酸化膜206上に形成したが、図107(b)に示されるように、ダミーメモリトランジスタ242aを、p型シリコン基板201上に直接形成してもよい。それにより、ダミーゲート242とp型シリコン基板201との間でFNトンネリングを用いて電子の注入を行なうことが可能となる。それにより、フィールドシールド効果を持たせることが可能となる。また、このダミーメモリトランジスタ242aを挟む副ビット線227を用いて、チャネルホットエレクトロンによってダミーゲート242に電子を注入することも可能である。それによっても、上記の場合と同様のフィールドシールド効果が期待できる。

#### 【0557】(16) 第16実施例

次に、図108～図119を用いて、この発明に従った不揮発性半導体記憶装置の第16実施例について説明する。図108は、この発明に従った第16実施例における不揮発性半導体記憶装置のメモリトランジスタ部の部分断面図である。図109は、図69におけるF-F線に沿って見た断面に対応する断面図である。図110～

図119は、本実施例における不揮発性半導体記憶装置の製造工程の第10工程～第19工程を示す断面図である。

【0558】前述の各実施例においては、ソース領域上に位置するフィールド酸化膜206をエッチング除去し、この状態でソース領域に砒素（As）などを注入することによってソース線を形成していた。しかし、この場合には、次に説明するような問題点が考えられる。フィールド酸化膜206直下には、素子間の分離特性を向上させるために、予めボロン（B）などがフィールド酸化膜206越しに注入されている。したがって、上記のように、フィールド酸化膜206をエッチングした後にソース線形成のための砒素（As）を注入した場合には、フィールド酸化膜206越しに予め注入されているボロン（B）と、ソース線形成のために注入された砒素（As）とがオーバーラップする部分が生じることとなる。それにより、その重なる部分において、キャリア濃度が相殺され、ソース耐圧が低くなるといった問題点が考えられる。

【0559】そこで、本実施例においては、ソース線形成のために、各ソース領域を電氣的に接続するような不純物の導入された多結晶シリコンなどからなる配線層を形成することとしている。それにより、フィールド酸化膜206上にその配線層を形成することができるため、ソース線形成領域上に位置するフィールド酸化膜206を取除く必要がなくなる。それにより、上記のような不純物領域の重なりをなくすことができ、ソース耐圧が低下するのを防止することが可能となる。

【0560】以下に、図を用いて、本実施例について、より具体的に説明する。まず、図108を参照して、本実施例における特徴部分となるのは、ワード線方向に散在する各ソース領域223を電氣的に接続する配線層262が形成されていることである。それ以外の構造は、上記の各実施例と同様である。この配線層262は、この場合であれば、多結晶シリコンなどで形成されている。

【0561】この配線層262は、フィールド酸化膜206で分離されている各ソース領域223を互いに接続している。したがって、図109に示されるように、ソース領域223上およびソース領域223に挟まれたフィールド酸化膜206上に、配線層262は延在している。このように、配線層262を備えることにより、各ソース領域223を電氣的に接続することができるため、フィールド酸化膜206の一部をエッチング除去する必要がなくなる。それにより、上述したように、ソース線耐圧が低下するのを防止することが可能となる。

【0562】次に、図110～図119を用いて、上記の構造を有する不揮発性半導体記憶装置の製造方法について説明する。まず図110を参照して、上記の第2の実施例と同様の工程を経て、高温酸化膜217、導電膜

216、ONO膜215、第1の多結晶シリコン膜214をエッチングする。それにより、フローティングゲート電極219およびコントロールゲート電極220が形成される。そして、レジスト218aを除去する。

【0563】次に、図111に示されるように、選択ゲートトランジスタのみを露出させるようにレジストパターン221aを形成する。そして、このレジストパターン221aをマスクとして用いて、リン（P）を60KeV、 $3.0 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入する。それにより、選択ゲートトランジスタのソース／ドレイン領域223、224を形成する。その後、上記のレジスト221aを除去する。

【0564】次に、図112を参照して、選択ゲートトランジスタとなるトランジスタを覆い、他のメモリトランジスタを露出させるようにレジストパターン221bを形成する。そして、このレジストパターン221bをマスクとして用いて、35KeV、 $5.5 \times 10^{15} \text{ cm}^{-2}$ の条件で、砒素（As）をイオン注入する。それにより、メモリトランジスタのソース／ドレイン領域が形成される。その後、レジスト221bを除去する。

【0565】次に、図113を参照して、メモリトランジスタ領域にCVD法を用いて、2000Å程度の膜厚を有する高温酸化膜を形成する。そして、この高温酸化膜を異方性エッチングすることによって、選択ゲートトランジスタの側壁あるいはメモリトランジスタの側壁にサイドウォール225を形成する。そして、このサイドウォール225をマスクとして用いて、35KeV、 $4.0 \times 10^{15} \text{ cm}^{-2}$ の条件で、砒素（As）をイオン注入する。それにより、周辺部のトランジスタのソース／ドレイン領域およびソース領域223、ドレイン領域224を形成する。

【0566】次に、図114を参照して、メモリトランジスタ領域に、TEOS（Tetra ethyl Ortho Silicate）膜などからなるシリコン酸化膜226を堆積する。そして、30分程度の酸化膜のシタ処理を行なう。その後、ソース領域223上に位置するシリコン酸化膜226を露出させるようにレジストパターン261を形成する。そして、このレジストパターン261をマスクとして用いて、ソース領域223上に位置するシリコン酸化膜226、サイドウォール225の一部をエッチングする。それにより、図115に示されるように、ソース領域223上に位置する領域にコンタクトホール268を形成する。そして、レジスト261を除去する。

【0567】次に、図116を参照して、CVD法などを用いて、上記のコンタクトホール268内表面およびシリコン酸化膜226上に、多結晶シリコン層262を形成する。そして、この多結晶シリコン層262上に、CVD法などを用いて、酸化膜263を形成する。そして、ソース領域223上に位置する酸化膜263上に、

レジストパターン264を形成する。このとき、レジストパターン264の端部は、ソース側に位置するフローティングゲート電極219、コントロールゲート電極220の端部上に位置するようにする。それにより、多結晶シリコン層262と副ビット線227との距離を離すことができ、多結晶シリコン層262と副ビット線227との所望の耐圧を確保することができる。さらに、コントロールゲート電極220と多結晶シリコン層262間の耐圧も所望の値とすることができる。

【0568】そして、図117に示されるように、上記のレジストパターン264をマスクとして用いて酸化膜263および多結晶シリコン層262をエッチングする。それにより、ワード線方向に散在する各ソース領域223を電気的に接続する配線層262が形成されることになる。

【0569】次に、図118を参照して、レジスト264を除去した後、酸化膜226、263上に、CVD法などを用いて酸化膜265を形成する。そして、ドレイン拡散領域224上に位置する酸化膜265を露出させるようにレジストパターン266を形成する。そして、このレジストパターン266をマスクとして用いて、ドレイン領域224上に位置する各酸化膜265、226をエッチング除去する。それにより、ドレイン領域224の一部が露出することになる。

【0570】その後、図119を参照して、上記のレジスト266を除去した後、CVD法などを用いて、200Å程度の膜厚を有する多結晶シリコン層を形成し、この多結晶シリコン層に不純物を導入することによって導電性をもたせる。そして、この多結晶シリコン層上に所定形状のレジスト228を塗布し、このレジスト228をマスクとして上記の多結晶シリコン層をパターンニングすることによって、副ビット線227が形成される。以下、前記の第2の実施例と同様の工程を経て不揮発性半導体記憶装置が形成されることになる。

【0571】(17) 第17実施例

次に、図120～図125および図156～図159を用いて、本発明に基づく第17実施例について説明する。図120は、本発明に従った第17実施例における不揮発性半導体記憶装置の部分断面図である。図121～図125は、図120に示される不揮発性半導体記憶装置の製造工程の第1工程～第5工程を示す図である。図156は、上記の第17実施例における不揮発性半導体記憶装置の従来構造を示す平面図(a)および(a)におけるB-B線に沿って見た断面図(b)を示す図である。図157は、図156に示される従来の不揮発性半導体記憶装置の書込動作を説明するための部分断面図である。図158は、図156に示される不揮発性半導体記憶装置の消去動作を説明するための部分断面図である。図159は、図156に示される従来の不揮発性半導体記憶装置における問題点を説明するための部分断面

図である。

【0572】まず、図156～図159を用いて、本発明に基づく第17実施例における不揮発性半導体記憶装置の従来構造について説明する。図156(a)および図156(b)を参照して、このタイプの不揮発性半導体記憶装置は、一般的に、バーチャルグラウンド構成のメモリセルアレイ(Virtual Ground Array)を有する不揮発性半導体記憶装置と呼ばれている。

【0573】図156(b)を参照して、p型半導体基板301の主表面には、ビット線として機能するn型の高濃度不純物領域302a、302b、302c、302dが互いに略平行に間隔を隔てて形成されている。これらの高濃度不純物領域302a～302dに挟まれた領域上に、絶縁膜304を介してフローティングゲート305a、305b、305が形成されている。そして、これらのフローティングゲート305a、305b、305を覆うように、絶縁膜306が形成されている。この絶縁膜306表面上に、コントロールゲート307が形成されている。コントロールゲート307は、図156(a)を参照して、複数のフローティングゲート305上に延在し、高濃度不純物領域302a～302dと略直交する。

【0574】次に、図157および図158を用いて、上記の構造を有する従来の不揮発性半導体記憶装置の従来の動作について説明する。まず書込動作について説明する。図156(a)および図157を参照して、フローティングゲート305bに書込みを行なう場合について説明する。フローティングゲート305bに書込みを行なう際には、このフローティングゲート305b上に延在するコントロールゲート307に12V程度の電圧が印加され、ビット線として機能する高濃度不純物領域302bに5V程度の電圧が印加される。

【0575】このとき、高濃度不純物領域302aは、フローティング状態に保持される。不純物領域302cは、接地電位に保持される。それにより、高濃度不純物領域302bから高濃度不純物領域302cに電流が流れる。このときに、フローティングゲート305bに電子が注入されることになる。それにより、フローティングゲート305bに書込が行なわれる。

【0576】次に、消去動作について説明する。各フローティングゲート305、305a、305bに書込まれた情報を消去する際には、各コントロールゲート307が接地電位に保持され、各高濃度不純物領域302a～302dに10V程度の電圧が印加される。それにより、各フローティングゲート305、305a、305bから同時に電子が引き抜かれ、書込まれた情報が消去されることになる。この様子が、図158に示されている。

【0577】以上のような構成を有し、動作を行なう従

来のバーチャルグラウンド構成のメモリセルアレイを有する不揮発性半導体記憶装置に本発明に従った動作を行なわせた場合には、次に説明するような問題点が生じることとなる。その問題点について、図159を用いて説明する。

【0578】従来のバーチャルグラウンド構成のメモリセルアレイを有する不揮発性半導体記憶装置に本発明に従った動作を行なわせた場合には、本発明に従った書込動作を行なった際に問題点が生じることとなる。図159を参照して、本発明に従った書込動作を行なわせることによってたとえばフローティングゲート305aに情報を書込むには、選択されたコントロールゲート307に、たとえば-8V程度の電圧が印加される。このとき、選択されたビット線、この場合であれば、ビット線として機能する高濃度不純物領域302bに5V程度の電圧が印加される。そして、非選択のビット線、この場合であれば、高濃度不純物領域302a、302c、302dは、接地電位に保持される。

【0579】それにより、図159において矢印で示されるように、フローティングゲート305aから電子が引き抜かれると同時に、フローティングゲート305aと隣接するフローティングゲート305bからも電子が引き抜かれることになる。それは、高濃度不純物領域302bの一方の端部がフローティングゲート305aと部分的に重なり、他方の端部がフローティングゲート305bと部分的に重なるように形成されているからである。

【0580】このように、高濃度不純物領域302bと、フローティングゲート305aおよびフローティングゲート305bが部分的に重なるような位置関係に形成されることによって、その重なった部分において、FN現象によってそれぞれのフローティングゲート305a、305bから電子が引き抜かれてしまう。すなわち、両方のフローティングゲート305a、305bに情報が書込まれたことになる。その結果、不揮発性半導体記憶装置の誤動作を引き起こすといった問題点が生じることとなる。

【0581】本実施例における不揮発性半導体記憶装置は、上記のような問題点を解決するために考案されたものである。以下、本実施例における不揮発性半導体記憶装置の構造および動作について、図120～図125を用いて説明する。

【0582】図120を参照して、本実施例におけるバーチャルグラウンド構成のメモリセルアレイを有する不揮発性半導体記憶装置は、ビット線として機能する高濃度不純物領域302a、302b、302c、302dの一方の端部は、フローティングゲート305の下に位置し、他方の端部は、隣接するフローティングゲート305の下には位置しないように形成されている。高濃度不純物領域302a、302b、302c、302dの濃

度は、好ましくは、 $10^{20}/\text{cm}^3$ 以上である。

【0583】より具体的には、図120を参照して、高濃度不純物領域302bの一方端はフローティングゲート305aの下に位置するが、このフローティングゲート305aと隣接するフローティングゲート305bと不純物領域302bとは重ならないようにオフセットされている。それ以外の構造に関しては、図156(b)に示される従来の構造とほぼ同様である。

【0584】このように、高濃度不純物領域302bの端部を隣接するフローティングゲート305bと重ならないように形成することによって、たとえばフローティングゲート305aに本発明に従った書込動作を行なう際に、隣接するフローティングゲート305bから電子が引き抜かれるといった状況を回避することが可能となる。それにより、より確実に情報の書込を行なうことが可能となる。

【0585】次に、図121～図125を用いて、図120に示される構造を有する本実施例における不揮発性半導体記憶装置の製造方法について説明する。まず図121(a)および(b)を参照して、p型半導体基板301主表面上に、100Å程度の膜厚を有する絶縁膜304を形成する。そして、この絶縁膜304上に、CVD法などを用いて、1000Å程度の膜厚を有する第1多結晶シリコン層305cを堆積する。

【0586】この第1多結晶シリコン層305c上に、所望の膜厚を有するレジスト308を塗布する。このレジスト308を所定形状にパターニングする。このパターニングされたレジスト308をマスクとして用いて、エッチングすることによって第1多結晶シリコン層305cをパターニングする。

【0587】次に、図122(a)を参照して、上記の第1多結晶シリコン層305cをパターニングした後、レジスト308をマスクとして用いて、砒素(As)などのn型の不純物をp型半導体基板301の主表面にイオン注入する。このとき、不純物の注入角度を所定角度 $\theta$ だけ傾ける。それにより、レジスト308によるシャドウイング効果によって、p型半導体基板301の主表面に、隣合うフローティングゲートのうち一方にのみその端部が部分的に重なるように高濃度不純物領域302a～302dを形成することが可能となる。

【0588】上記の傾斜角度 $\theta$ の値は、好ましくは、約 $7^\circ$ である。このようにして、 $\theta$ の角度だけ鉛直方向に対して角度を持たせて砒素(As)をイオン注入することによって、レジスト308に従ってパターニングされた隣り合う第1多結晶シリコン層305cのうち、一方の第1多結晶シリコン層305cとは重なるが他方の第1多結晶シリコン層305cとはオフセットされた高濃度不純物領域302a～302dが形成されることになる。この状態を平面的に見た様子が図122(b)に示されている。

【0589】次に、図123を参照して、レジスト308を除去した後、CVD法などを用いて、第1多結晶シリコン層305cを覆うように酸化膜309を形成する。そして、この酸化膜309をエッチバックすることによって、酸化膜309を第1多結晶シリコン層305cの間に埋込む。

【0590】次に、図124を参照して、CVD法などを用いて、上記の酸化膜309上および第1多結晶シリコン層305c上に、絶縁膜306を形成する。この絶縁膜306上に、CVD法などを用いて、所定膜厚の第2多結晶シリコン層307aを堆積する。その後、図125(a)を参照して、上記の第2多結晶シリコン層307a上にレジスト310を塗布し、このレジスト310を所定形状にパターニングする。この場合であれば、図125(b)を参照して、高濃度不純物領域302a~302dと略直交する方向にレジスト310をパターニングする。このようにパターニングされたレジスト310をマスクとして用いてエッチングすることによって、図125(a)に示されるように、コントロールゲート307、フローティングゲート305a、305b、305および絶縁膜306を形成する。その後、レジスト310を除去する。以上の工程を経て、図120に示される不揮発性半導体記憶装置が完成する。

【0591】次に、図126を用いて、図120に示された上記の第17実施例の他の態様について説明する。図120に示される不揮発性半導体記憶装置においては、高濃度不純物領域302a~302dのみが形成されていた。しかし、本実施例においては、書込動作に関与するn型の高濃度不純物領域302a~302dを上記の第17実施例と同様の方法を用いて形成し、さらに、n型の低濃度不純物領域303を形成している。このように低濃度不純物領域303を設けることによって、不揮発性半導体記憶装置の動作特性を向上させることが可能となる。この低濃度不純物領域303の形成方法としては、砒素(As)などのn型の不純物を、従来例と同様の注入角度で半導体基板301の主表面にイオン注入することによって形成される。

【0592】注入条件の一例としては、低濃度不純物領域303の形成には、注入量 $10^{11}/\text{cm}^2$ 以上の量の砒素(As)を注入する。それにより、形成される低濃度不純物領域303の濃度は、 $10^{16}/\text{cm}^3$ 以上の濃度を有するものとなる。また、このとき、高濃度不純物領域302a~302dの形成に際しては、砒素(As)の注入量は、好ましくは、 $10^{15}/\text{cm}^2$ 以上である。それにより、高濃度不純物領域302a~302dの濃度は、 $10^{20}/\text{cm}^3$ 以上のものとなる。

【0593】次に、図127を参照して、本発明を要約する。図127は、本発明に従った不揮発性半導体記憶装置の必須の構成を示した模式図である。図127を参照して、半導体基板401の主表面には、間隔を隔てて

不純物領域402a、402bが形成されている。この不純物領域402a、402bの間のチャネル領域409上には絶縁膜403が形成されている、この絶縁膜403上にはフローティングゲート404が形成されている。このフローティングゲート404が電子蓄積手段となる。フローティングゲート404上には絶縁膜405を介してワード線406が形成される。ワード線406上には層間絶縁膜407が形成され、この層間絶縁膜407上にはビット線408が形成される。ビット線408は、層間絶縁膜407に設けられたコンタクトホール410を介して不純物領域402aと電気的に接続されている。

【0594】以上の構成を有する不揮発性半導体記憶装置において、本発明に従った特徴的な動作が行なわれることになる。まず、本発明に従った不揮発性半導体記憶装置の特徴的な動作においては、初期状態は消去状態となる。すなわち、フローティングゲート404に電子が蓄積された状態が消去状態(初期状態)となる。フローティングゲート404に電子を蓄積する方法としては、まずビット線408をフローティング状態に保持し、半導体基板401にたとえば10V程度の電圧を印加する。このとき、ワード線406に10V程度の電圧を印加する。それにより、チャネル領域409全面でのFN現象(チャネルFN)によって、フローティングゲート404内に電子を注入することが可能となる。このとき、消去状態のメモリトランジスタのしきい値電圧 $V_{th}$ (E)は、読出時にワード線406に印加される電圧 $V_{Read}$ よりも高い値となっている。

【0595】上記のようにまず消去状態とした後、所定のメモリトランジスタから電子を引き抜くことによって情報の書込が行なわれることになる。書込みの際には、ビット線408に5V程度の電圧を印加する。このとき、半導体基板401は接地電位に保たれる。そして、ワード線406に-10V程度の電圧を印加する。それにより、フローティングゲート404から電子が引き抜かれることになる。このとき、電子の引き抜きは、フローティングゲート404と不純物領域402aとの重なり部分でのFN現象によって行なわれることになる。その結果、書込後のメモリトランジスタのしきい値電圧 $V_{th}(p)$ は、読出時のワード線406に印加される電圧 $V_{Read}$ よりも小さい値となる。

【0596】以上説明したように、本発明に従った不揮発性半導体記憶装置の動作においては、メモリトランジスタに電子を注入した状態が消去状態となっており、すべてのメモリトランジスタのうち所定のメモリトランジスタから電子を引き抜くことによって情報が書込まれることになる。なお、上記の各実施例においては、本発明を不揮発性半導体記憶装置に適用した場合について説明した。しかし、本発明は、不揮発性半導体記憶装置以外の半導体記憶装置にも適用可能である。



## 【0597】

【発明の効果】第1～第17の発明によれば、消去前書込動作を行なうことなく複数のメモリセルを一括消去することができる。したがって、一括消去に要する時間が短縮され、データの書換時間も短縮される。また、過消去によりメモリセルがデプレッション化することも回避される。

【0598】第3および第4の発明によれば、消去時の消費電力が低減される。

【0599】第5および第6の発明によれば、プログラム時の消費電力が低減される。

【0600】第7の発明によれば、プログラム時にベリファイ動作が不要となる。

【0601】第8～第13の発明によれば、消去単位の細分化が可能となる。また、プログラム時にセクタ間でのディスターブが回避される。さらに、ビットごとにプログラム制御が可能となる。

【0602】第9の発明によれば、消去時およびプログラム時の消費電力が低減されるので、外部の単一電源を用いて内部で正電圧および負電圧を発生することができる。したがって、単一電源により動作するフラッシュメモリが得られる。

【0603】第10の発明によれば、安定かつ高速にプログラムが行なわれる。

【0604】第11の発明によれば、非選択のセクタ内のメモリセルのデータを確実に保護しつつ、選択されたセクタ内のメモリセルを安定に消去することができる。

【0605】第12の発明によれば、メモリセルの消去を安定に行なうことができる。

【0606】第13の発明によれば、プログラム時にベリファイ動作が不要となる。第18の発明に従う不揮発性半導体記憶装置によれば、第2ウェル領域は第1ウェル領域に電圧を印加したとき、第1ウェル領域と第2ウェル領域との接合が逆バイアス状態となる。このため第1ウェル領域に電圧を印加しても電流は第2素子形成領域には流れない。したがって、第1ウェル領域に電圧を印加し、コントロールゲートに第1ウェル領域に印加した電圧と異なる符号の電圧を印加すると、半導体基板内の最大電圧を低くしながらも、第1ウェル領域とコントロールゲートとの電位差は相対的に大きくでき、チャネルFNを起こすことができ、これを用いて書込／消去動作を行なえる。以上説明したように請求項14に記載の不揮発性半導体記憶装置では、半導体装置内の最大電圧を低くすることができるので、周辺回路への負担が軽減され、高集積化に有利である。

【0607】また、第18の発明に従う不揮発性半導体記憶装置によれば、複数のメモリトランジスタの各ドレイン領域には副ビット線が接続されている。このため読出動作時には、読出電流を大きくとることができるので、NAND型に比べ読出動作を高速に行なえる。

【0608】さらに、第18の発明に従う不揮発性半導体記憶装置によれば、ビット線を主ビット線と副ビット線とに分割している。そして、主ビット線と副ビット線とをセレクトゲートトランジスタを介して導通させている。このため1つの副ビット線と他の副ビット線とは主ビット線を共通にしながらも、電氣的に分離することができる。したがって1つの副ビット線を用いて書込動作をしているとき、残りの副ビット線は一方の副ビット線と電氣的に分離でき、他の副ビット線に接続されているメモリトランジスタ群はこの書込動作ではドレインディスターブは生じない。したがって第18の発明に従う不揮発性半導体記憶装置によればドレインディスターブの低減を図ることができる。

【0609】さらに第18の発明に従う不揮発性半導体記憶装置は、データの書込動作をドレインFNによって行なうことができる。このため高い効率で書込動作を行なうことができ、ビット線に流す電流を小さくすることができる。ビット線に流す電流を小さくすることができるので、ビット線の材料として抵抗値の大きいものを採用することができ、したがって、アルミ以外の材料を用いてビット線を形成することができる。したがってビット線を主ビット線と副ビット線との2層構造にすると微細化が同時に可能となる。

【0610】さらに第18の発明に従う不揮発性半導体記憶装置は、ドレインFNによってメモリトランジスタを書込状態にできる。したがってチャネルホットエレクトロンを用いて書込動作を行なうNOR型に比べ書込効率を向上させることができ、よって消費電力を低くすることができる。

【0611】第20および第21の発明に従う不揮発性半導体記憶装置によれば、より確実に本発明に従った動作が行なえる。

## 【図面の簡単な説明】

【図1】第1～第11の実施例におけるプログラムおよび消去動作としきい値電圧との関係を従来例と比較して示す図である。

【図2】第1～第11の実施例における消去状態およびプログラム状態を従来例と比較して示す図である。

【図3】第1～第11の実施例における一括消去時のしきい値電圧を示す図である。

【図4】第1～第11の実施例における一括消去動作によるしきい値電圧の変化を示す図である。

【図5】第1の実施例によるフラッシュメモリの全体の構成を示すブロック図である。

【図6】第1の実施例におけるプログラム時および消去時のメモリセルへの電圧印加条件を示す図である。

【図7】第1の実施例における一括消去動作時、プログラム動作時および読出動作時の電圧印加条件を示す図である。

【図8】第1の実施例における書換動作を説明するため

のフローチャートである。

【図9】第2の実施例におけるプログラム時および消去時のメモリセルへの電圧印加条件を示す図である。

【図10】第2の実施例における一括消去動作時、プログラム動作時および読出動作時の電圧印加条件を示す図である。

【図11】第3の実施例によるフラッシュメモリの全体の構成を示すブロック図である。

【図12】図11のフラッシュメモリの含まれるXデコーダの構成を示すブロック図である。

【図13】第3の実施例におけるプログラム時および消去時のメモリセルへの電圧印加条件を示す図である。

【図14】第3の実施例における一括消去動作時、プログラム動作時および読出動作時の電圧印加条件を示す図である。

【図15】第4の実施例におけるページ一括消去動作時、プログラム動作時および読出動作時の電圧印加条件を示す図である。

【図16】第4の実施例における書換動作を説明するためのフローチャートである。

【図17】第5の実施例におけるページ一括消去動作時、プログラム動作時および読出動作時の電圧印加条件を示す図である。

【図18】第6の実施例によるフラッシュメモリの全体の構成を示すブロック図である。

【図19】図18のフラッシュメモリに含まれるメモリアレイおよびそれに関連する部分の詳細な構成を示す回路図である。

【図20】第6の実施例におけるプログラム時および消去時のメモリセルへの電圧印加条件を示す図である。

【図21】第6の実施例におけるセクター一括消去動作時、プログラム動作時および読出動作時の電圧印加条件を示す図である。

【図22】第6の実施例におけるプログラム動作およびベリファイ動作を説明するためのフローチャートである。

【図23】第6の実施例によるフラッシュメモリに用いられるメモリセルの構造を示す断面図である。

【図24】第6の実施例における2つの隣接したメモリセルの構造図である。

【図25】第6の実施例におけるメモリセルアレイのレイアウト図である。

【図26】図6の実施例のメモリセルアレイにおいて与えられる電圧を示す回路図である。

【図27】高電圧発生回路の等価回路を示す回路図である。

【図28】第6の実施例によるフラッシュメモリに用いられる高電圧発生回路の一部の構造を示す断面図である。

【図29】図28に示した構造において寄生トランジス

タが存在することを説明するための断面図である。

【図30】図29に示した寄生トランジスタにより構成された回路の等価回路図である。

【図31】第6の実施例によるフラッシュメモリに用いられる高電圧発生回路の別の構造を示す断面図である。

【図32】負電圧発生回路の等価回路を示す回路図である。

【図33】第6の実施例によるフラッシュメモリに用いられる負電圧発生回路の一部の構造を示す断面図である。

【図34】第7の実施例によるフラッシュメモリに含まれるメモリアレイおよびそれに関連する部分の詳細な構成を示す回路図である。

【図35】第7の実施例におけるプログラム時の主ビット線の電圧の変化を示す図である。

【図36】第8の実施例によるフラッシュメモリの全体の構成を示すブロック図である。

【図37】図36のフラッシュメモリに含まれるメモリアレイおよびそれに関連する部分の詳細な構成を示す回路図である。

【図38】ゲートバースビークがない場合の消去時のメモリセルの状態を説明するための図である。

【図39】ゲートバースビークがない場合の消去時の選択セクタのメモリセルおよび非選択セクタのメモリセルへの電圧印加条件を示す図である。

【図40】ゲートバースビークがない場合のセクター一括消去動作時の電圧印加条件を示す図である。

【図41】ゲートバースビークがない場合に用いられるソースデコーダの構成を示す回路図である。

【図42】図41のソースデコーダの各部の電圧を示す図である。

【図43】ゲートバースビークがある場合の消去時のメモリセルの状態を説明するための図である。

【図44】ゲートバースビークがある場合の消去時の選択セクタのメモリセルおよび非選択セクタのメモリセルへの電圧印加条件を示す図である。

【図45】ゲートバースビークがある場合のセクター一括消去動作時の電圧印加条件を示す図である。

【図46】ゲートバースビークがある場合に用いられるソースデコーダの構成を示す回路図である。

【図47】図46のソースデコーダの各部の電圧を示す図である。

【図48】ウェル電位が低い場合の消去時の選択セクタのメモリセルおよび非選択セクタのメモリセルへの電圧印加条件を示す図である。

【図49】ウェル電位が低い場合のセクター一括消去動作時の電圧印加条件を示す図である。

【図50】ウェル電位が低い場合に用いられるソースデコーダの構成を示す回路図である。

【図51】図50のソースデコーダの各部の電圧を示す

図である。

【図52】第9の実施例によるフラッシュメモリの全体の構成を示すブロック図である。

【図53】図52のフラッシュメモリに含まれるメモリアレイおよびそれに関連する部分の詳細な構成を示す回路図である。

【図54】第9の実施例におけるセクター一括消去動作時の電圧印加条件を示す図である。

【図55】図52のフラッシュメモリに含まれるセレクトゲートデコーダおよびソーススイッチの構成を示す回路図である。

【図56】図55のセレクトゲートデコーダおよびソーススイッチの各部の電圧を示す図である。

【図57】第10の実施例によるフラッシュメモリにおけるプログラム動作を説明するためのフローチャートである。

【図58】第11の実施例によるフラッシュメモリにおけるプログラム動作を説明するためのフローチャートである。

【図59】第12の実施例によるフラッシュメモリの全体の構成を示すブロック図である。

【図60】図59に示したメモリセルアレイおよびその周辺回路の回路図である。

【図61】図60に示したワード線とローカルデコーダの出力線との間の接続態様を示す半導体基板上のレイアウト図である。

【図62】図60に示した2つのメモリセル1491および1492の間の分離を示す断面構造図である。

【図63】図60に示した2つのメモリセル1491および1492の間の分離をフィールドシールドトランジスタにより行なう場合の断面構造図である。

【図64】第12の実施例において用いられるワード線電圧制御回路およびプリデコーダの回路図である。

【図65】この発明に従った不揮発性半導体記憶装置の第13実施例のメモリトランジスタ部の一部の断面図である。

【図66】(a)はこの発明に従った不揮発性半導体記憶装置の第14実施例のメモリトランジスタ部の一部の断面図であり、(b)はその等価回路図である。

【図67】この発明に従った不揮発性半導体記憶装置の第14実施例のメモリトランジスタの断面構造図である。

【図68】図66(a)に示す構造のコントロールゲートを形成した状態までにおける平面図である。

【図69】図66(a)に示す構造の副ビット線を形成した状態までにおける平面図である。

【図70】図66(a)に示す構造の主ビット線を形成した状態までにおける平面図である。

【図71】図66(a)に示す構造のアルミ配線を形成した状態までにおける平面図である。

【図72】この発明に従った不揮発性半導体記憶装置の第14実施例の全体の構成の第1の例を示すブロック図である。

【図73】この発明に従った不揮発性半導体記憶装置の第14実施例の全体の構成の第2の例を示すブロック図である。

【図74】この発明に従った不揮発性半導体記憶装置の第14実施例の全体の構成の第3の例を示すブロック図である。

【図75】この発明に従った不揮発性半導体記憶装置の第14実施例の全体の構成の第4の例を示すブロック図である。

【図76】この発明に従った不揮発性半導体記憶装置の第14実施例の全体の構成の第5の例を示すブロック図である。

【図77】この発明に従った不揮発性半導体記憶装置の第14実施例のメモリトランジスタ部の製造方法の第1工程を示す断面図である。

【図78】この発明に従った不揮発性半導体記憶装置の第14実施例のメモリトランジスタ部の製造方法の第2工程を示す断面図である。

【図79】この発明に従った不揮発性半導体記憶装置の第14実施例のメモリトランジスタ部の製造方法の第3工程を示す断面図である。

【図80】この発明に従った不揮発性半導体記憶装置の第14実施例のメモリトランジスタ部の製造方法の第4工程を示す断面図である。

【図81】この発明に従った不揮発性半導体記憶装置の第14実施例のメモリトランジスタ部の製造方法の第5工程を示す断面図である。

【図82】この発明に従った不揮発性半導体記憶装置の第14実施例のメモリトランジスタ部の製造方法の第6工程を示す断面図である。

【図83】この発明に従った不揮発性半導体記憶装置の第14実施例のメモリトランジスタ部の製造方法の第7工程を示す断面図である。

【図84】この発明に従った不揮発性半導体記憶装置の第14実施例のメモリトランジスタ部の製造方法の第8工程を示す断面図である。

【図85】この発明に従った不揮発性半導体記憶装置の第14実施例のメモリトランジスタ部の製造方法の第9工程を示す断面図である。

【図86】この発明に従った不揮発性半導体記憶装置の第14実施例のメモリトランジスタ部の製造方法の第10工程を示す断面図である。

【図87】この発明に従った不揮発性半導体記憶装置の第14実施例のメモリトランジスタ部の製造方法の第11工程を示す断面図である。

【図88】この発明に従った不揮発性半導体記憶装置の第14実施例のメモリトランジスタ部の製造方法の第1

【図122】 (a)はこの発明に従った不揮発性半導体

記憶装置の第17実施例のメモリトランジスタ部の製造方法の第2工程を示す部分断面図である。(b)はこの場合の平面図である。

【図123】この発明に従った不揮発性半導体記憶装置の第17実施例のメモリトランジスタ部の製造方法の第3工程を示す部分断面図である。

【図124】この発明に従った不揮発性半導体記憶装置の第17実施例のメモリトランジスタ部の製造方法の第4工程を示す部分断面図である。

【図125】(a)はこの発明に従った不揮発性半導体記憶装置の第17実施例のメモリトランジスタ部の製造方法の第5工程を示す部分断面図である。(b)はこの場合の平面図である。

【図126】この発明に従った不揮発性半導体記憶装置の第17実施例の他の態様を示す部分断面図である。

【図127】この発明に従った不揮発性半導体記憶装置の特徴的な動作を説明するための模式図である。

【図128】従来のフラッシュメモリに用いられるスタックゲート型メモリセルの構造を示す断面図である。

【図129】従来のフラッシュメモリにおけるプログラムおよび消去動作としきい値電圧との関係を示す図である。

【図130】従来のフラッシュメモリにおけるプログラム時および消去時のメモリセルへの電圧印加条件を示す図である。

【図131】従来のフラッシュメモリの全体の構成を示すブロック図である。

【図132】図131のフラッシュメモリに含まれるXデコーダの構成を示すブロック図である。

【図133】従来のフラッシュメモリにおけるプログラム動作時の電圧印加条件を示す図である。

【図134】従来のフラッシュメモリにおける消去前書込動作を説明するためのフローチャートである。

【図135】従来のフラッシュメモリにおける一括消去動作を説明するためのフローチャートである。

【図136】従来のフラッシュメモリにおける一括消去動作時の電圧印加条件を示す図である。

【図137】従来のフラッシュメモリにおける読出動作時の電圧印加条件を示す図である。

【図138】従来のフラッシュメモリにおけるプログラム動作時、消去動作時および読出動作時における各線の電圧を示す図である。

【図139】従来のフラッシュメモリにおいて消去前書込動作を行なうことなく一括消去動作を行なった場合のしきい値電圧を示す図である。

【図140】従来のフラッシュメモリにおいて消去前書込動作を行なった後一括消去動作を行なった場合のしきい値電圧を示す図である。

【図141】従来のフラッシュメモリにおける書換動作を説明するためのフローチャートである。

【図142】従来のフラッシュメモリにおいて一括消去動作を行なった場合のしきい値電圧の変化を示す図である。

【図143】選択トランジスタを含むメモリセルの構造を示す断面図である。

【図144】セクタ分割時のディスターブを説明するための図である。

【図145】主ビット線および副ビット線を有する従来のフラッシュメモリのメモリセルアレイのレイアウト図である。

【図146】従来のフラッシュメモリのメモリセルの構造図である。

【図147】従来のフラッシュメモリのメモリセルアレイにおいて与えられる電圧を示す回路図である。

【図148】フラッシュメモリの一般的な構成を示すブロック図である。

【図149】NOR型のメモリセルマトリックスの概略構成を示す等価回路図である。

【図150】NOR型のメモリトランジスタの断面構造図である。

【図151】NOR型の平面的配置を示す概略平面図である。

【図152】図151のA-A線に沿う部分断面図である。

【図153】NAND型フラッシュメモリのメモリセルマトリックスの一部の等価回路図である。

【図154】NAND型フラッシュメモリのメモリセルマトリックスの一部の断面図である。

【図155】NAND型フラッシュメモリのメモリトランジスタの断面構造図である。

【図156】(a)は従来のバーチャルグランド構成のメモリセルアレイを有する不揮発性半導体記憶装置の概略構成を示す平面図である。(b)は(a)におけるB-B線に沿って見た断面図である。

【図157】図156に示される不揮発性半導体記憶装置の従来の書込動作を説明するための図である。

【図158】図156に示される不揮発性半導体記憶装置の従来の消去動作を説明するための図である。

【図159】図156に示される従来の不揮発性半導体記憶装置に本発明に従った動作を行なわせた場合の問題点を説明するための図である。

【符号の説明】

80 半導体基板

81 nウェル領域

82 pウェル領域

83 a、b ソース／ドレイン領域

84 a、b ソース領域

85 a、b ドレイン領域

86 セレクトゲートトランジスタ

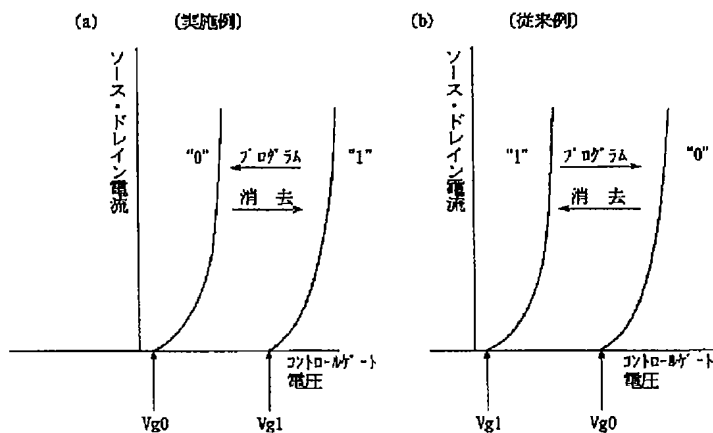
87 a、b、c、d メモリトランジスタ

88 コントロールゲート  
 89 フローティングゲート  
 90 副ビット線  
 91 a、b 分岐線  
 92 主ビット線  
 93 MOSトランジスタ  
 1001 P-型半導体基板  
 1002 ドレイン  
 1003 ソース  
 1004 絶縁膜  
 1005 フローティングゲート  
 1006 コントロールゲート  
 1008 P-ウェル  
 1010, 10a メモリアレイ  
 1020 アドレスバッファ  
 1030 Xデコーダ  
 1040 Yデコーダ  
 1050 Yゲート  
 1060 センスアンプ  
 1070 データ入出力バッファ  
 1080 書込回路  
 1090  $V_{pp}/V_{cc}$  切換回路

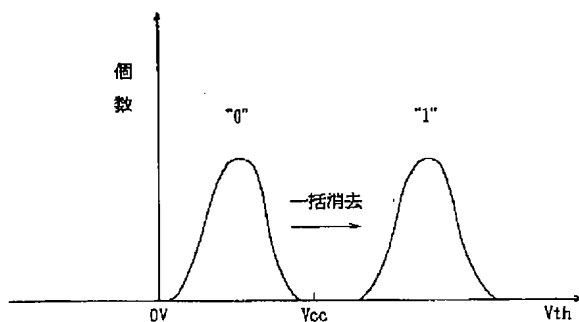
100 ベリファイ電圧発生回路  
 1110 ソース制御回路  
 1120 制御信号バッファ  
 1130 制御回路  
 1140 負電圧制御回路  
 1210, 1220 高電圧発生回路  
 1230, 1240 負電圧発生回路  
 1250 ウェル電位発生回路  
 1260 セレクトゲートデコーダ  
 1270 ソースデコーダ  
 1281, 1282 ソーススイッチ  
 BL1, BL2, BL3 ビット線  
 WL0, WL1, WL2, WL3 ワード線  
 M11, M12, M13, M21, M22, M23, M31, M32, M33 メモリセル  
 SL ソース線  
 SE1, SE2 セクタ  
 MB0, MB1 主ビット線  
 SB01, SB02, SB11, SB12 副ビット線  
 SL1, SL2 ソース線  
 SGL1, SGL2 セレクトゲート線  
 なお、各図中同一符号は同一または相当部分を示す。

【図1】

【図3】



【図4】



【図2】

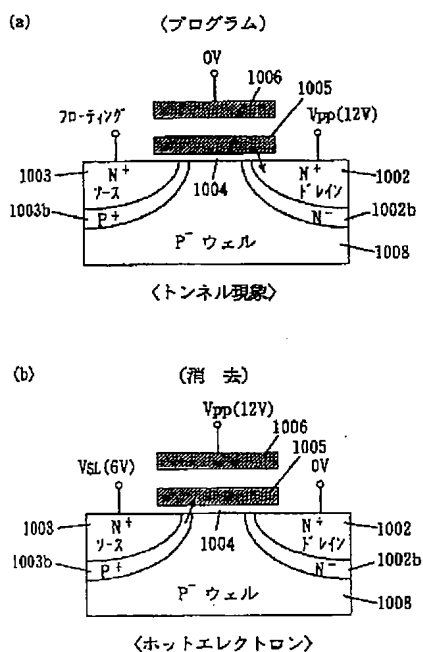
(a) (実施例)

	記憶データ	フローティングゲート	しきい値電圧
消去状態	"1"	電子注入	高
プログラム状態	"0"	電子放出	低

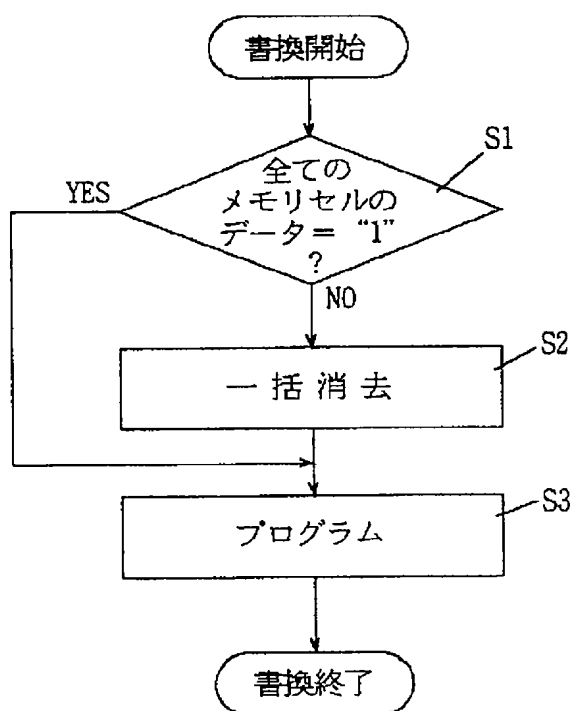
(b) (従来例)

	記憶データ	フローティングゲート	しきい値電圧
消去状態	"1"	電子放出	低
プログラム状態	"0"	電子注入	高

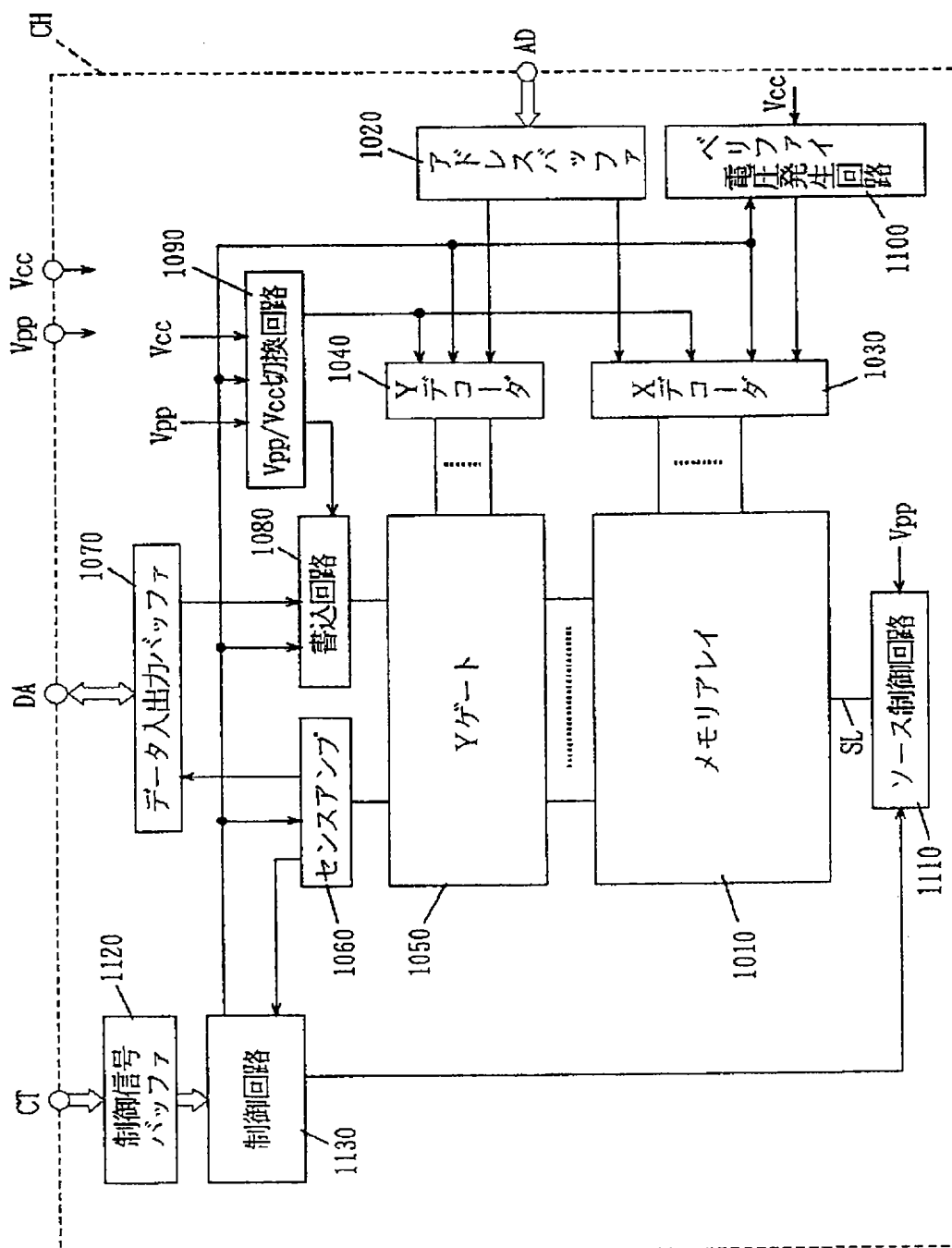
【図6】



【図8】

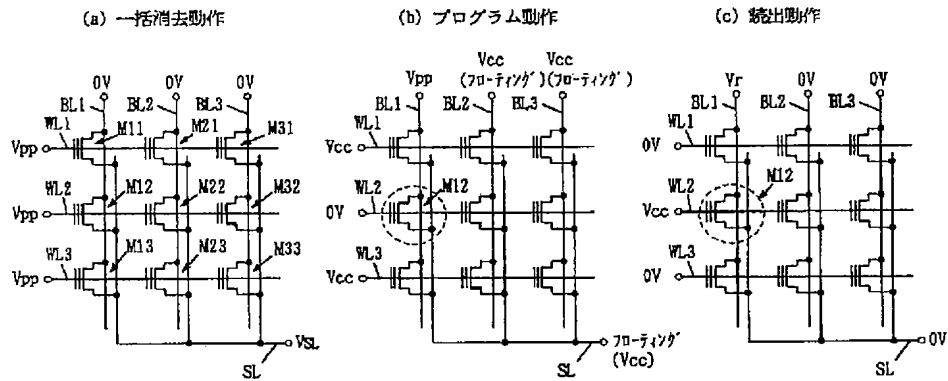


【図 5】

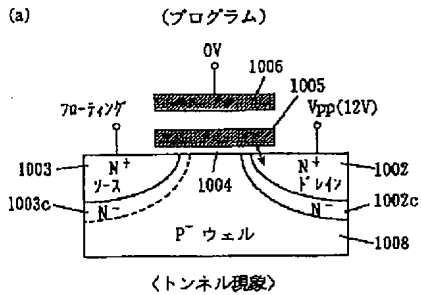




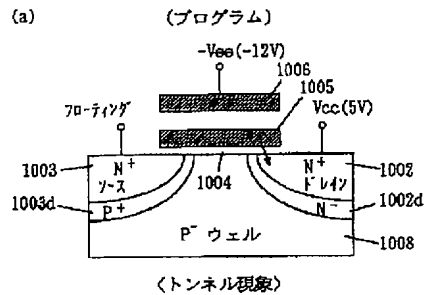
【図7】



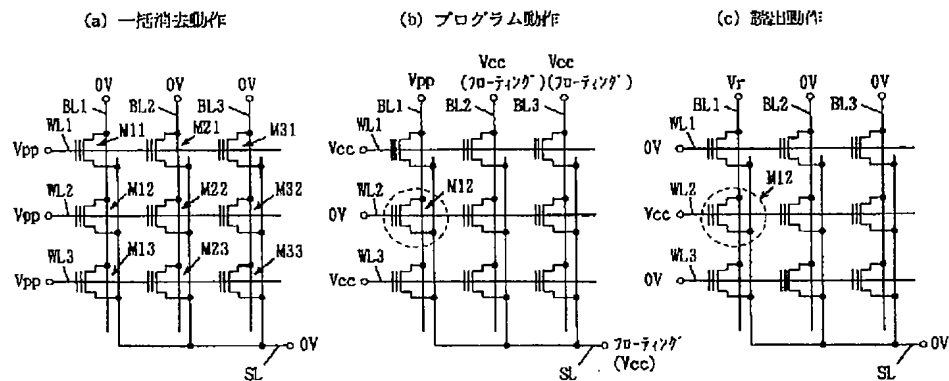
【図9】



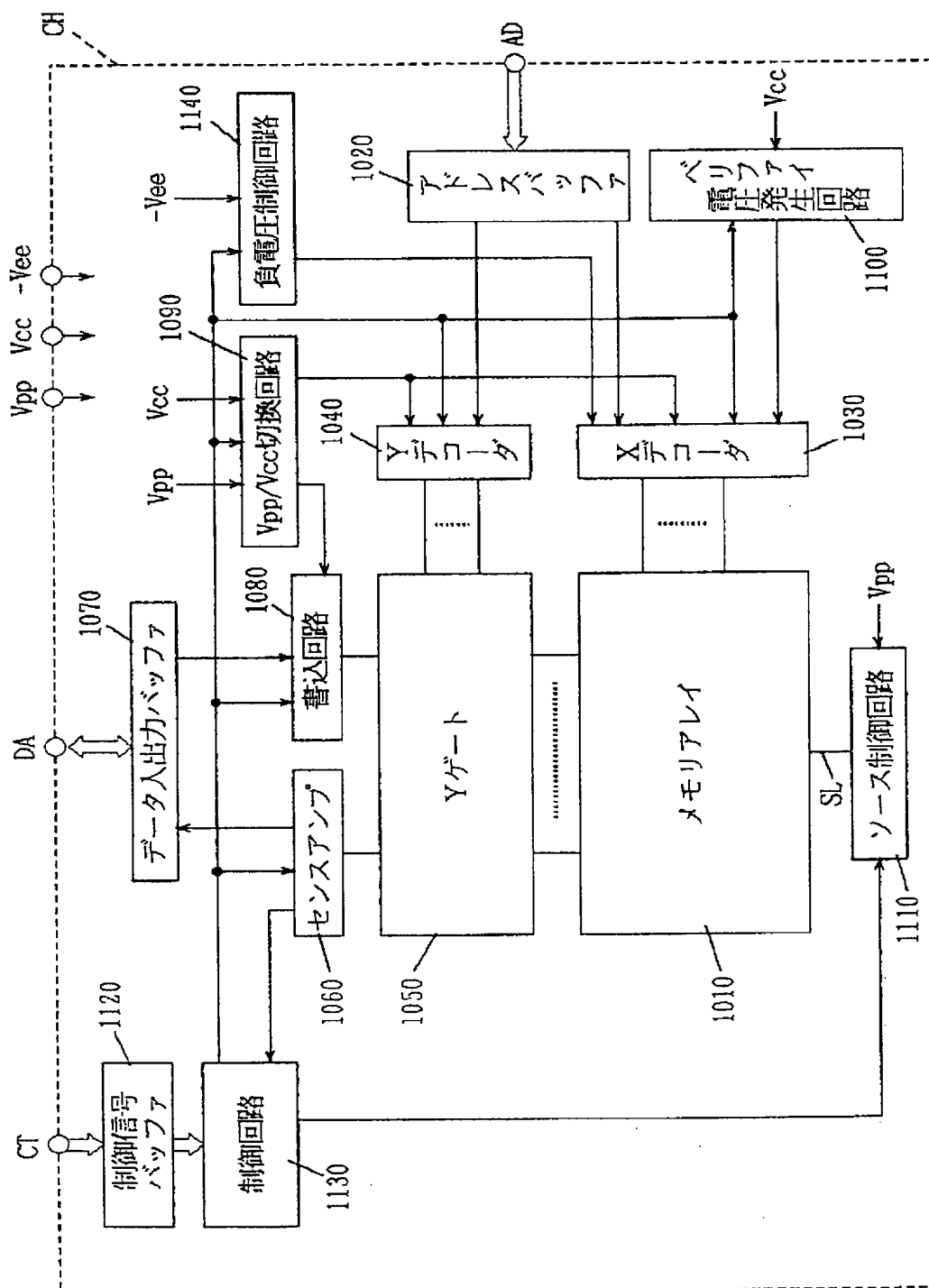
【図13】



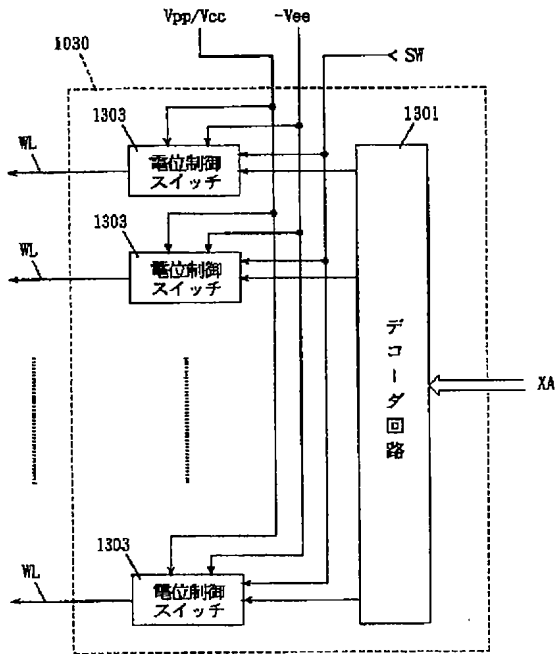
【図10】



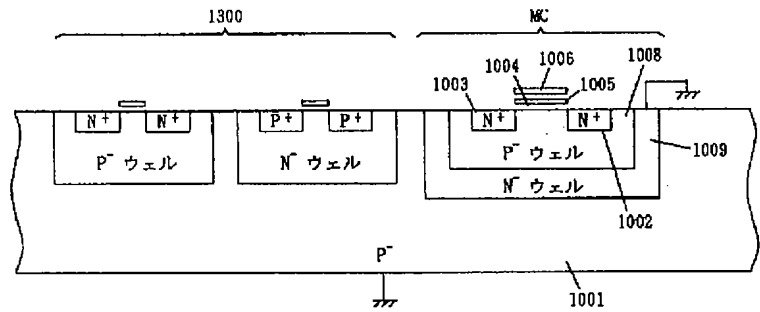
【図11】



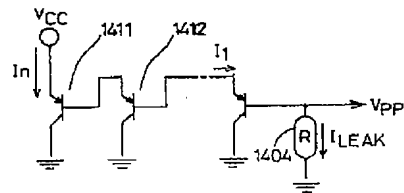
【図12】



【図23】

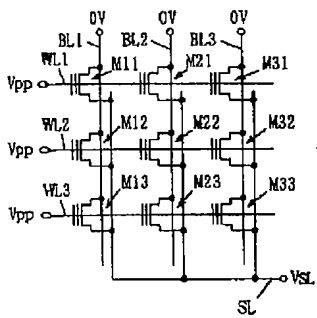


【図30】

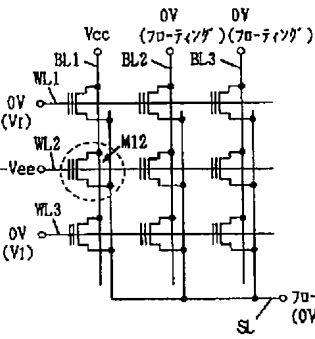


【図14】

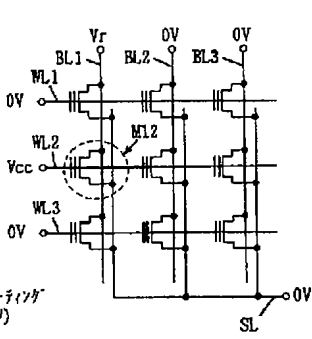
(a)一括消去動作



(b) プログラム動作

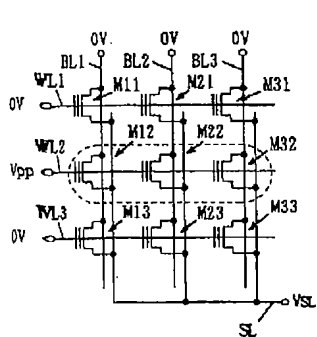


(c) 読出し動作

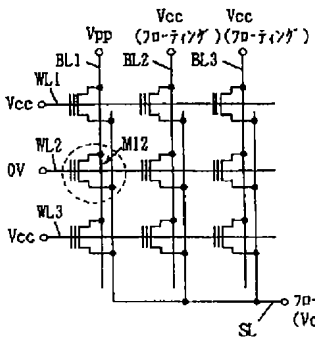


【図15】

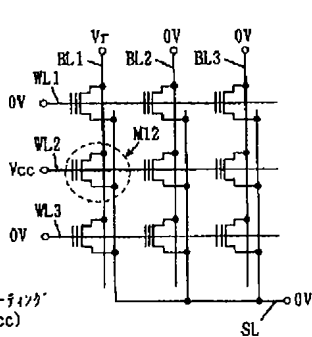
(a) ページ一括消去動作



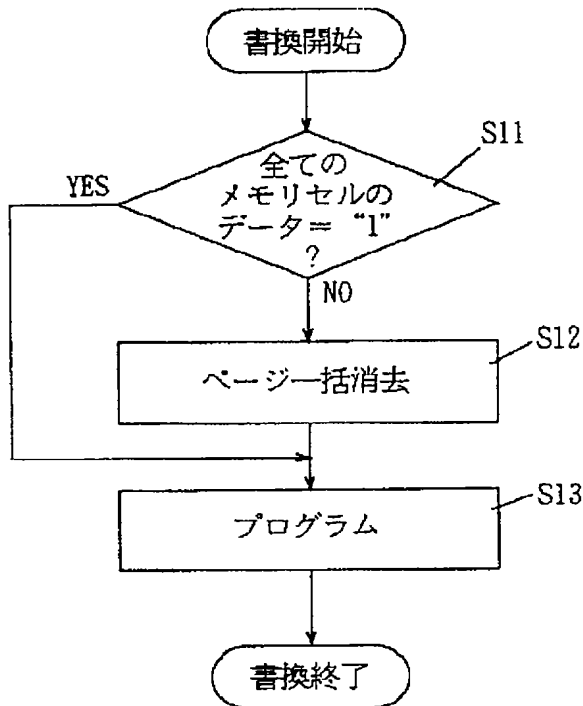
(b) プログラム動作



(c) 読出し動作

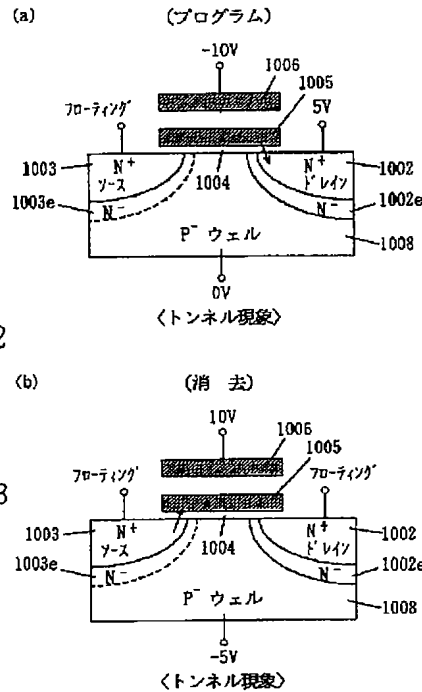


【図16】

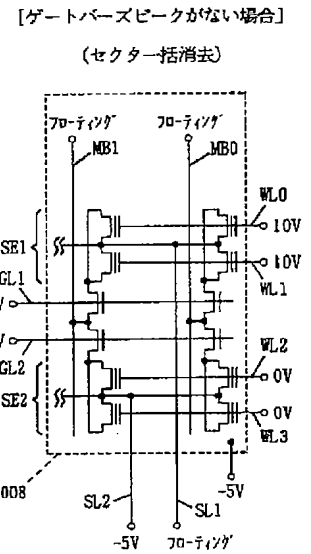


【図17】

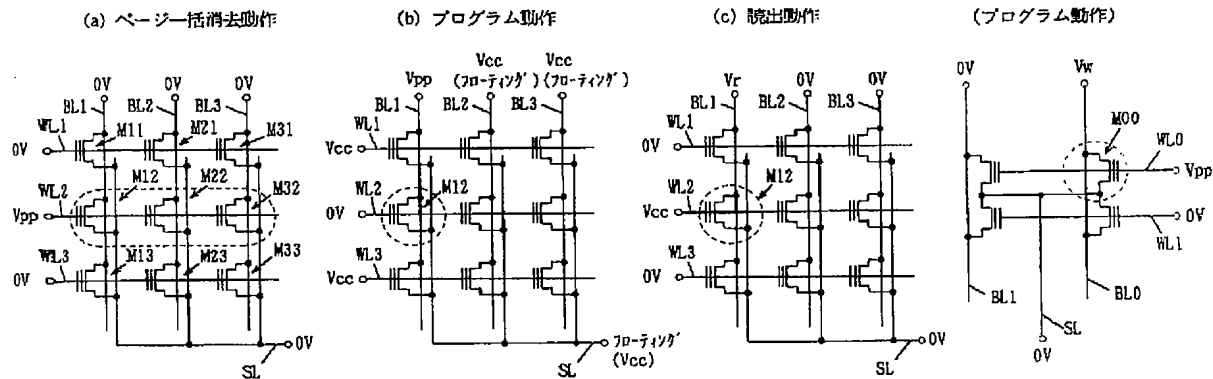
【図20】



【図40】

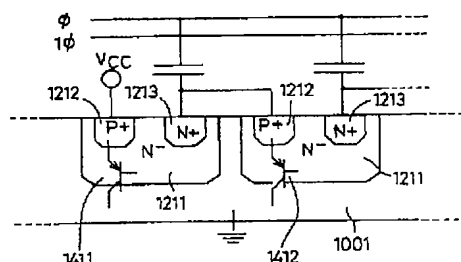
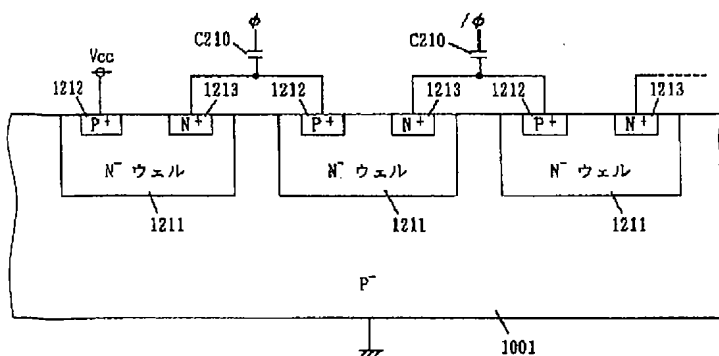


【図133】

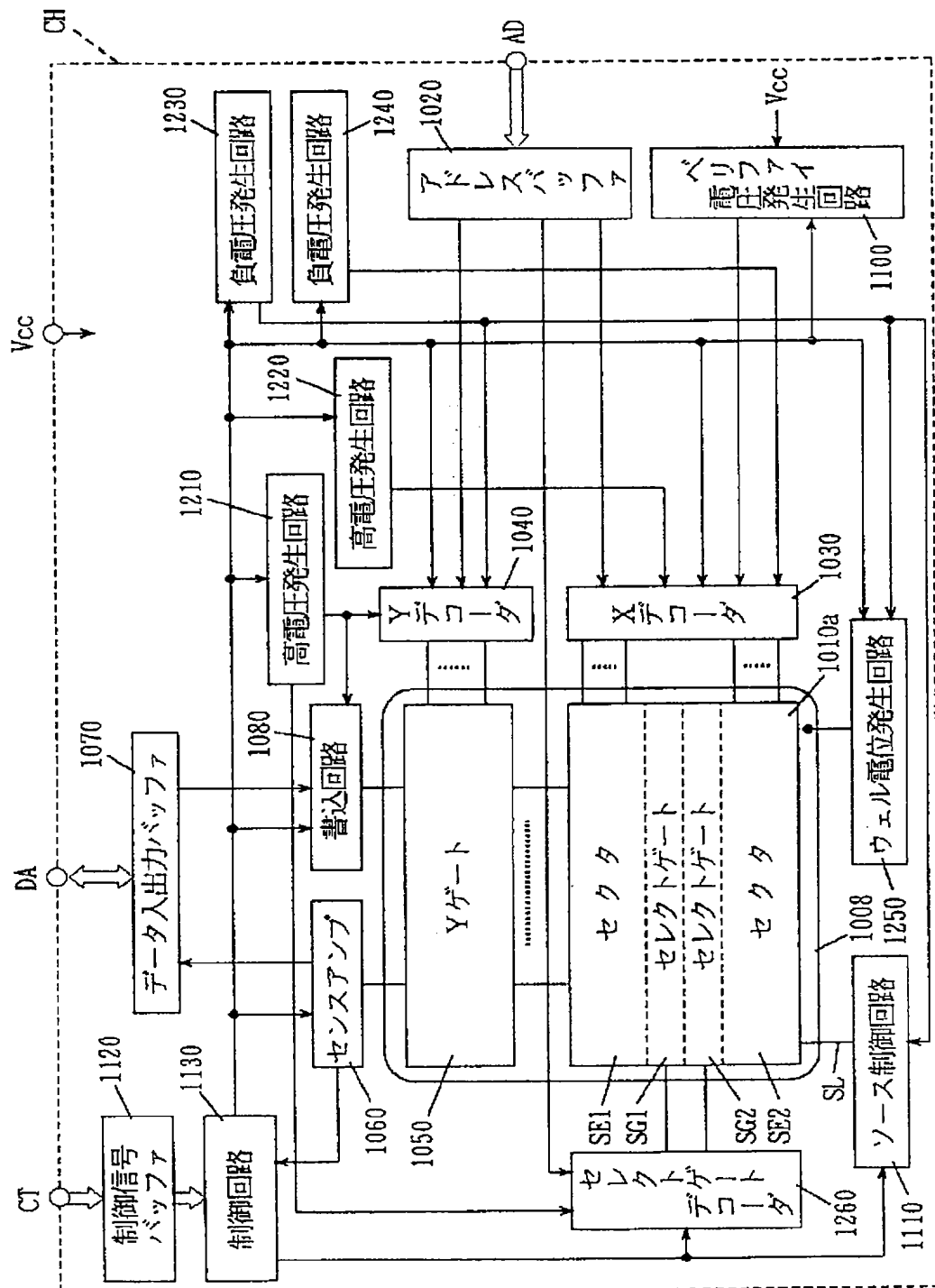


【図28】

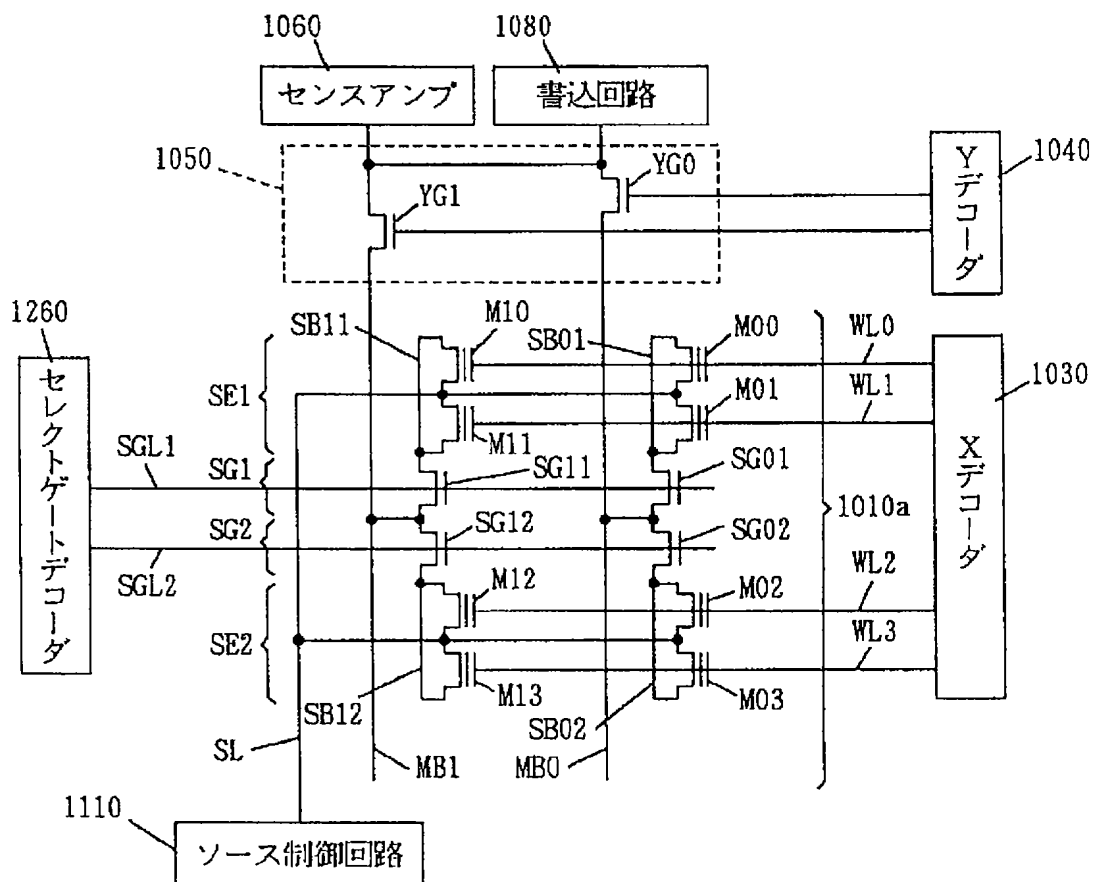
【図29】



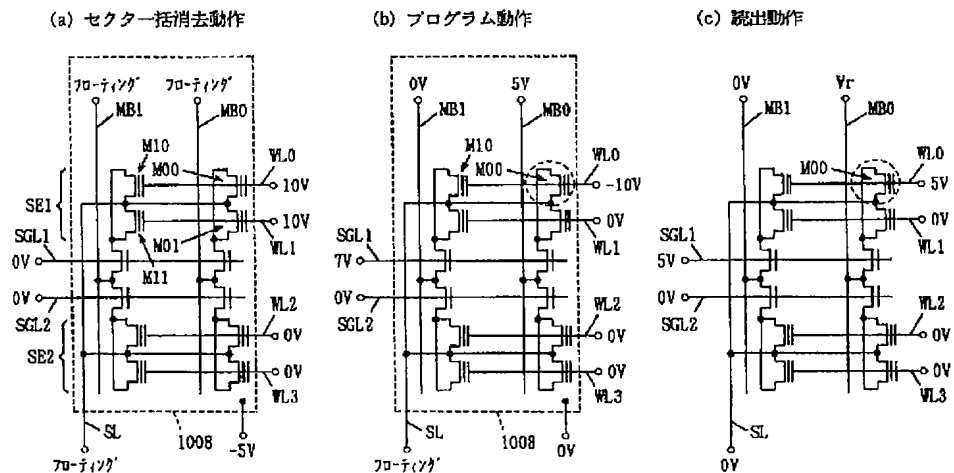
【図18】



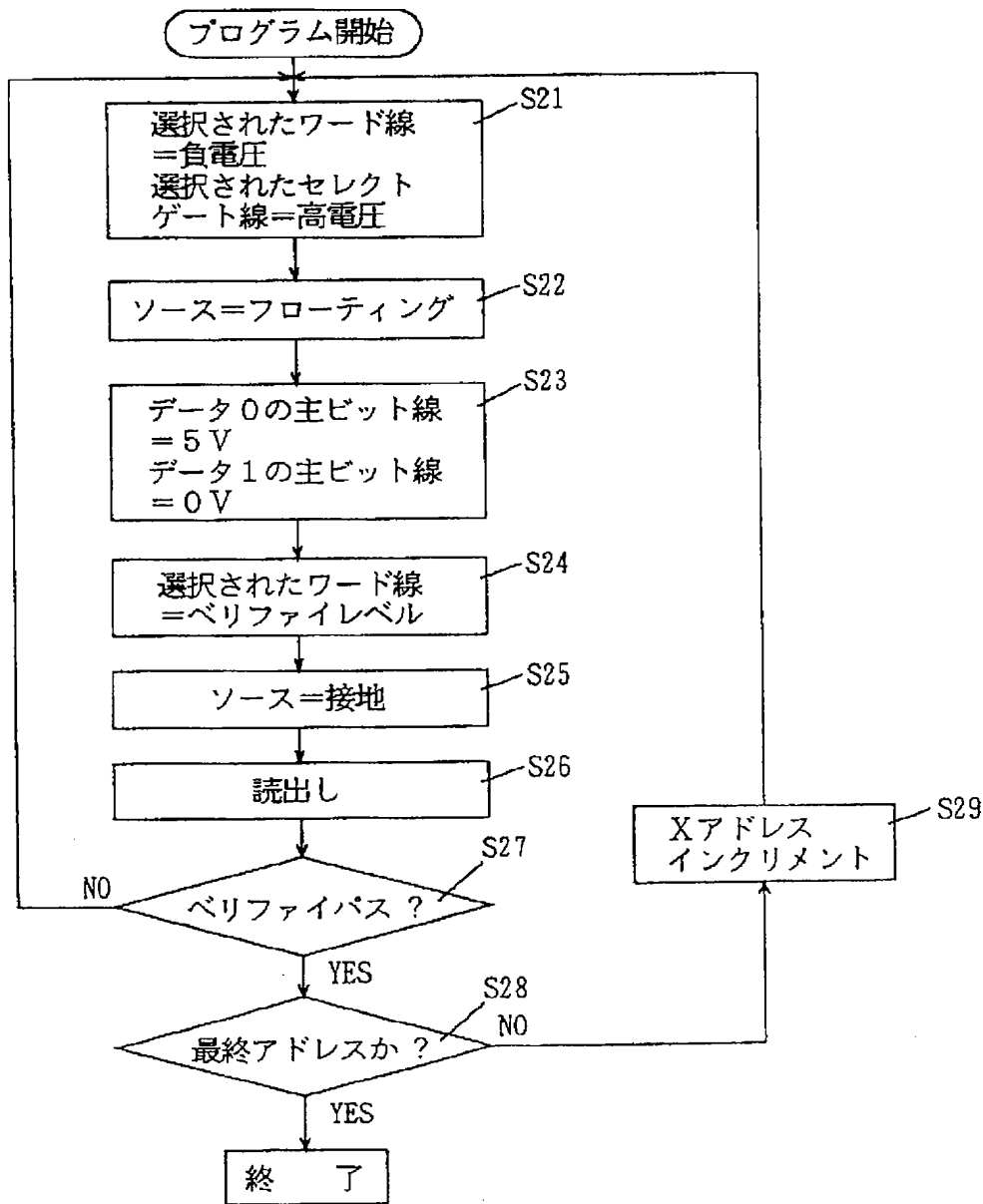
【図19】



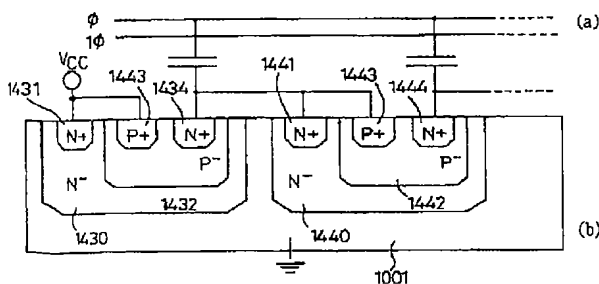
【図21】



【図22】



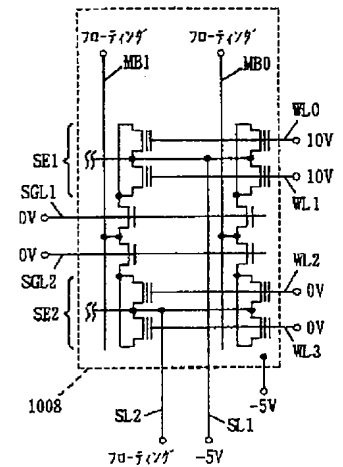
【図31】



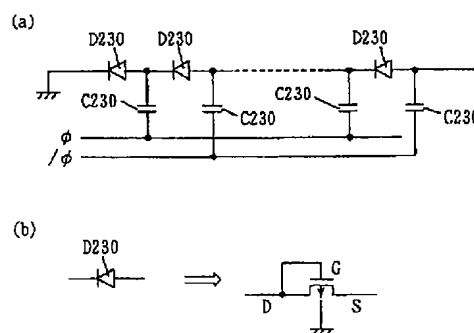
【図45】

[データバースピークがある場合]

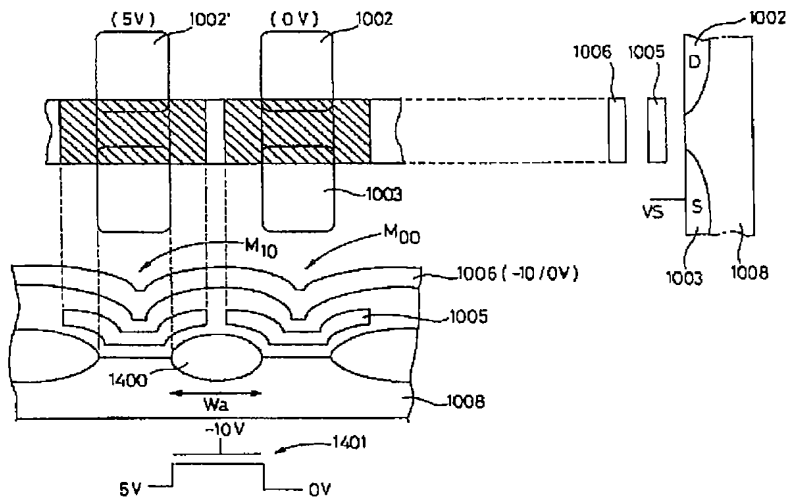
(セクター一括消去)



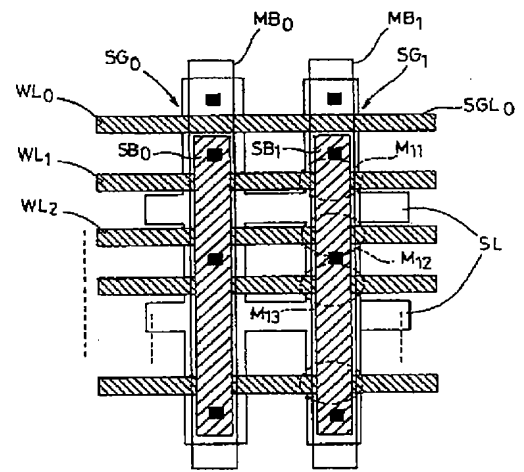
【図32】



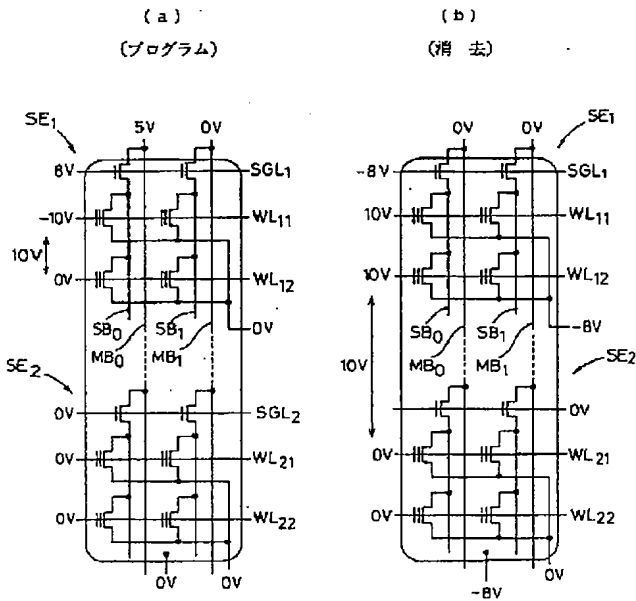
【図24】



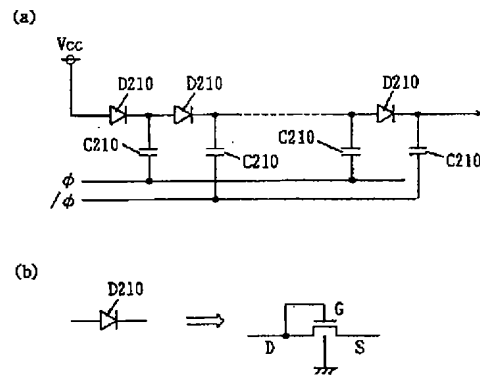
【図25】



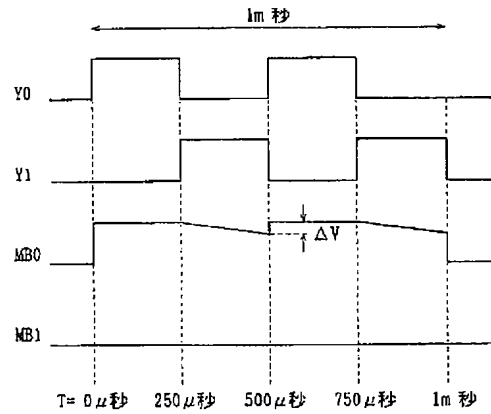
【図26】



【図27】

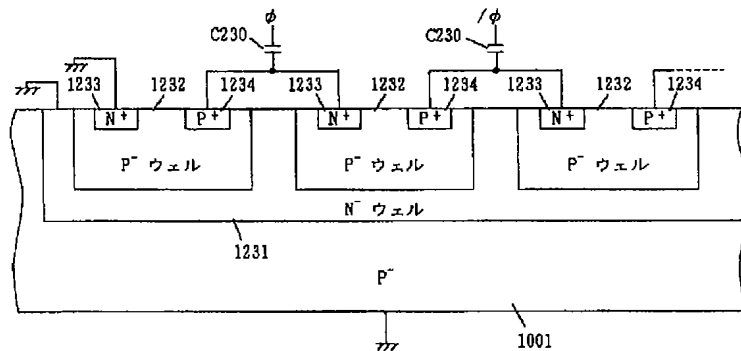


【図35】

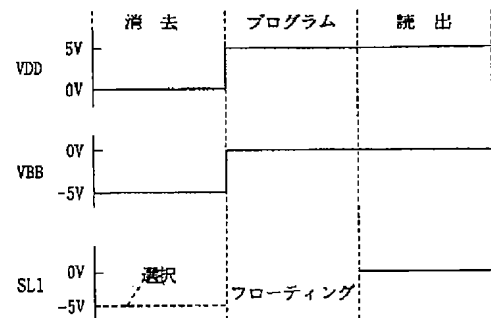




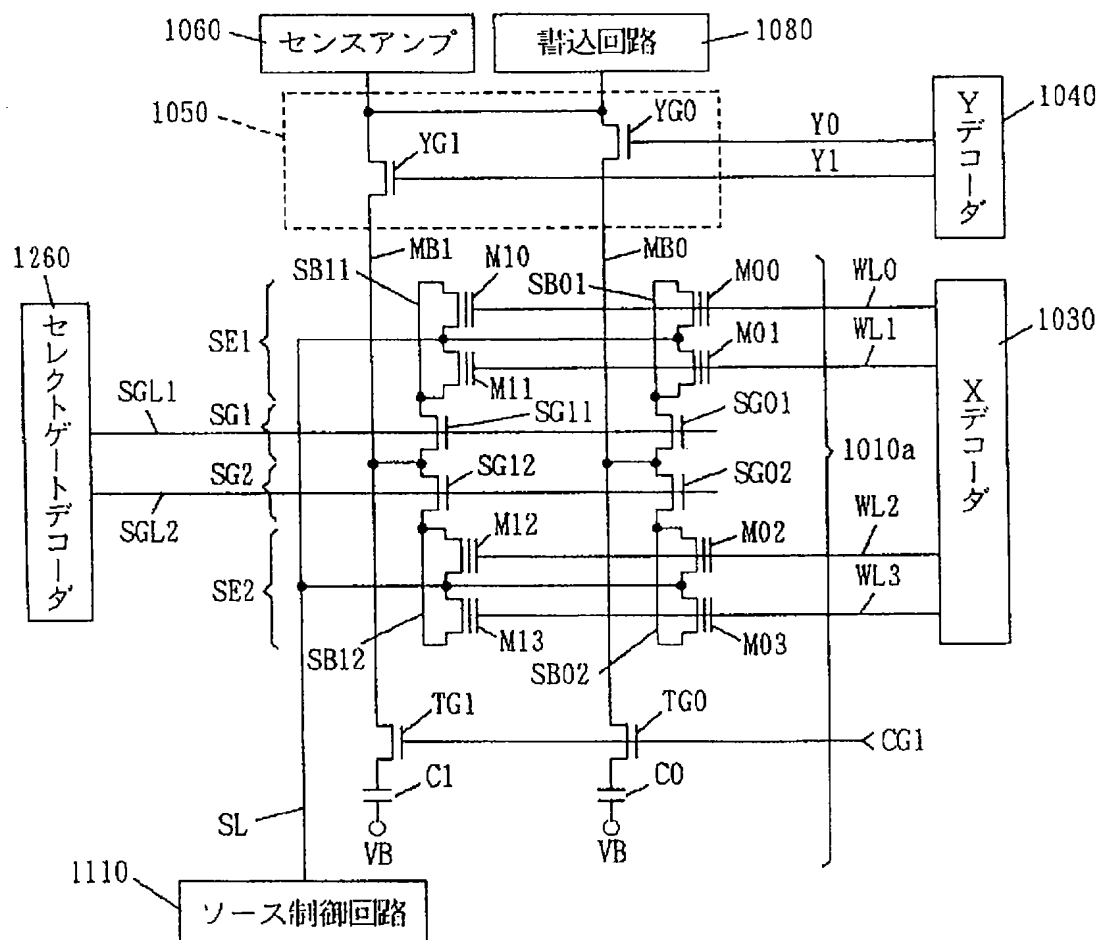
【図33】



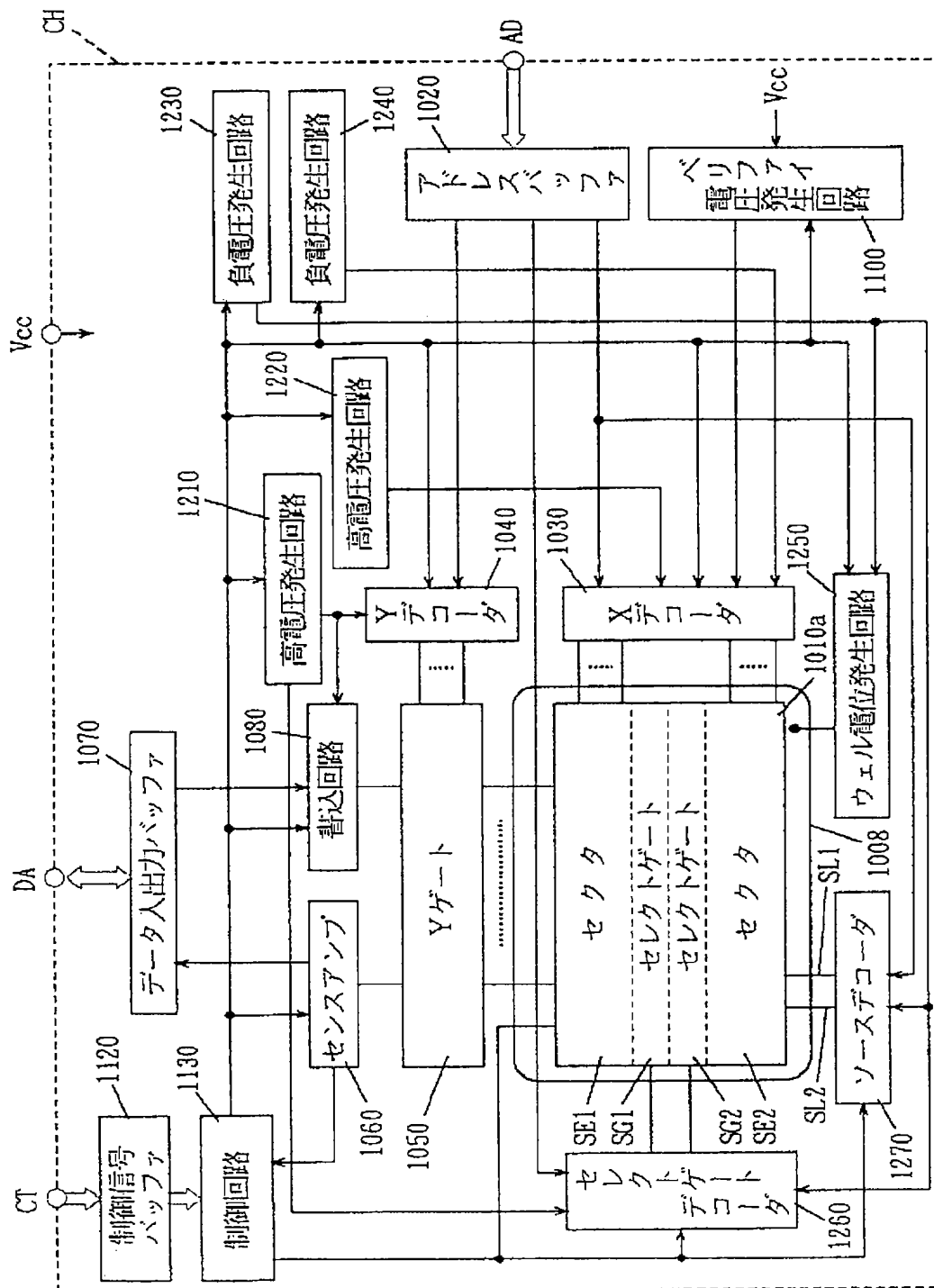
【図47】



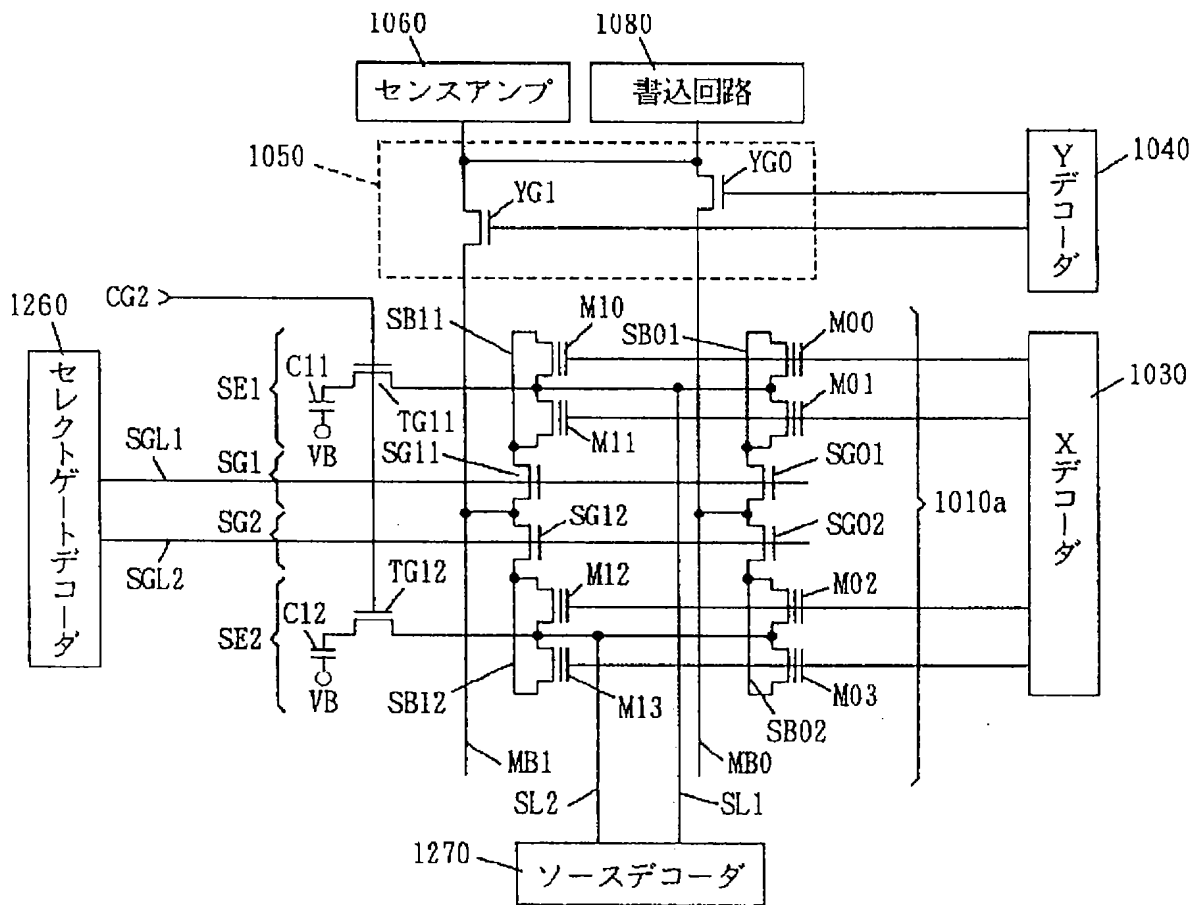
【図34】



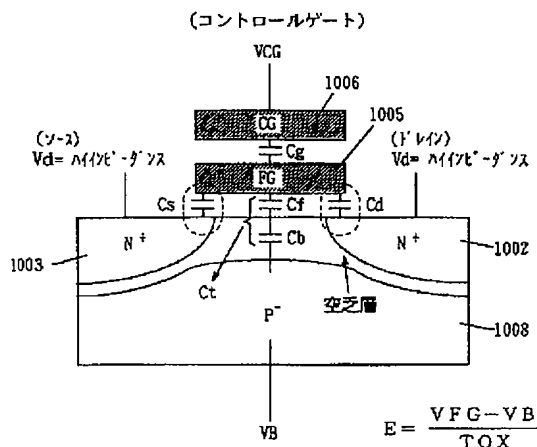
【図36】



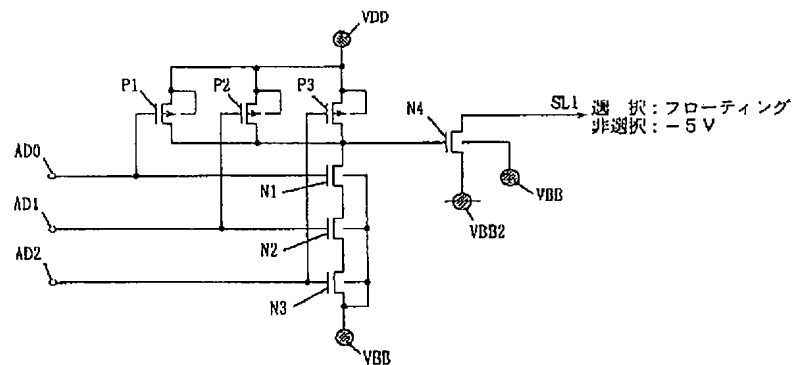
【図37】



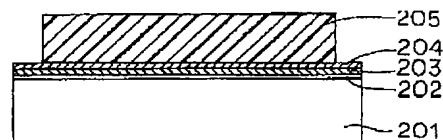
【図38】



【図41】

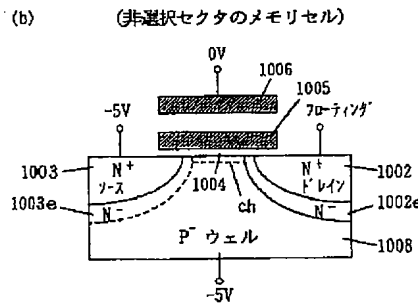
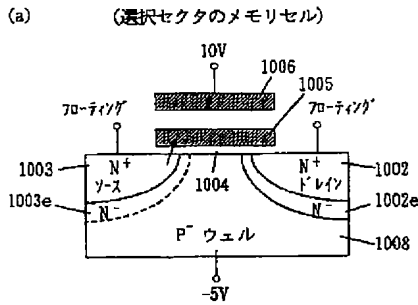


【図77】



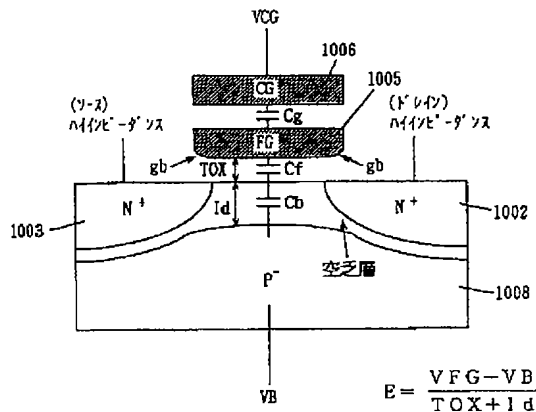
【図39】

[ゲートバースピークがない場合の消去]

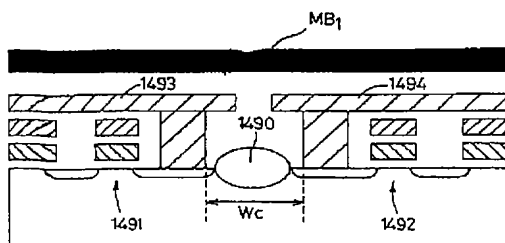


【図43】

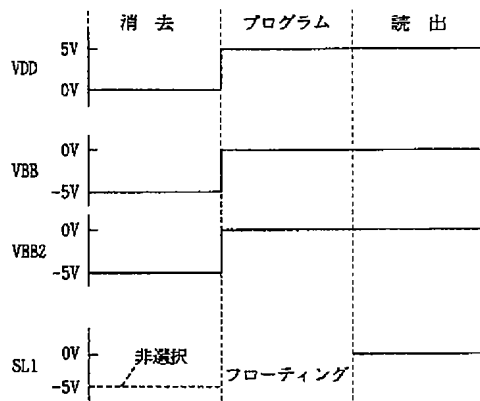
(コントロールゲート)



【図62】

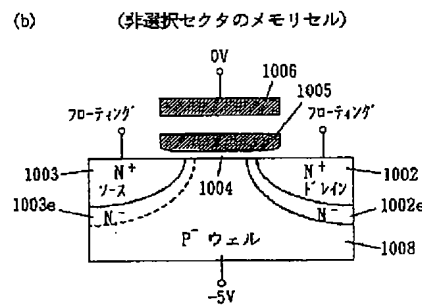
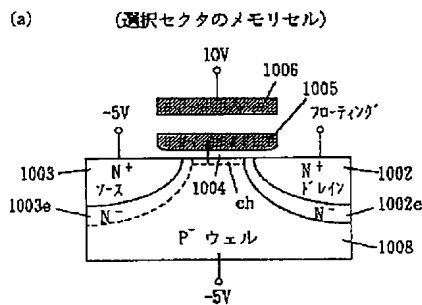


【図42】

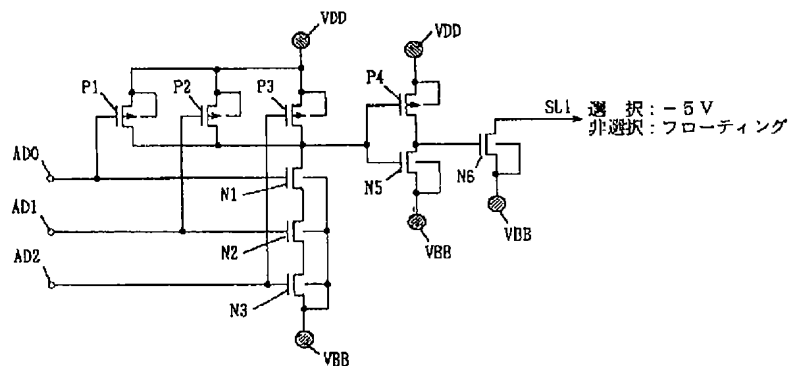


【図44】

[ゲートバースピークがある場合の消去]



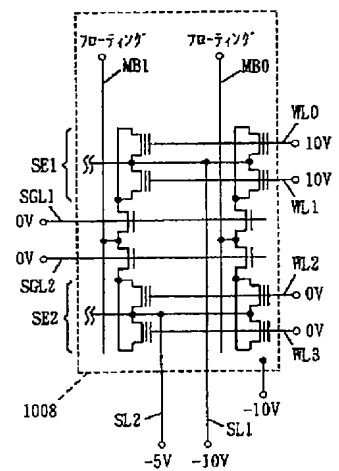
【図46】



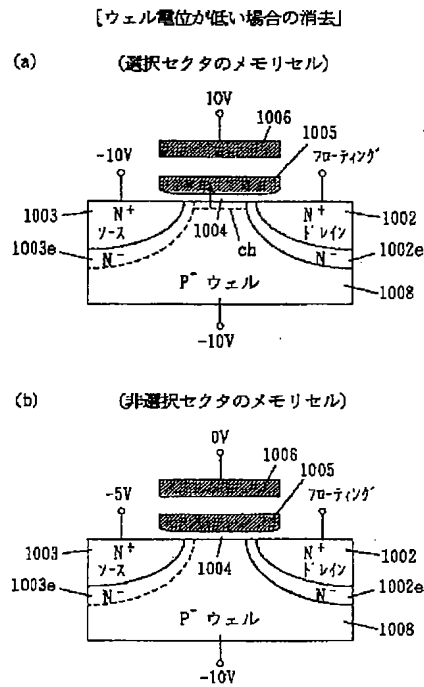
【図49】

[ウェル電位が低い場合]

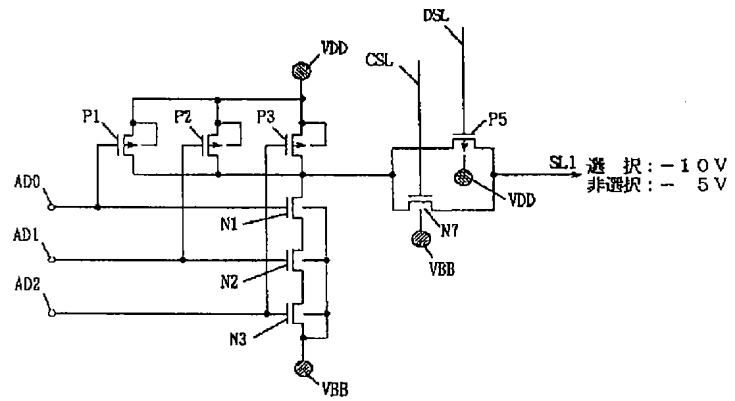
(セクター一括消去)



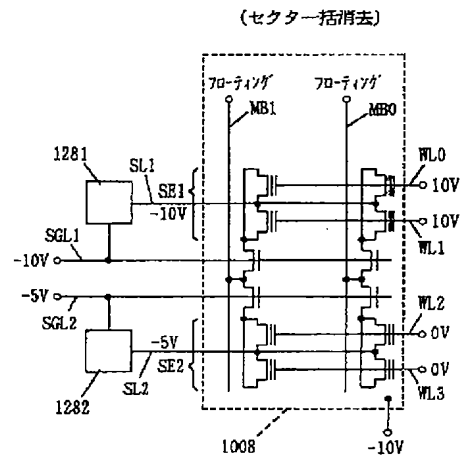
【図48】



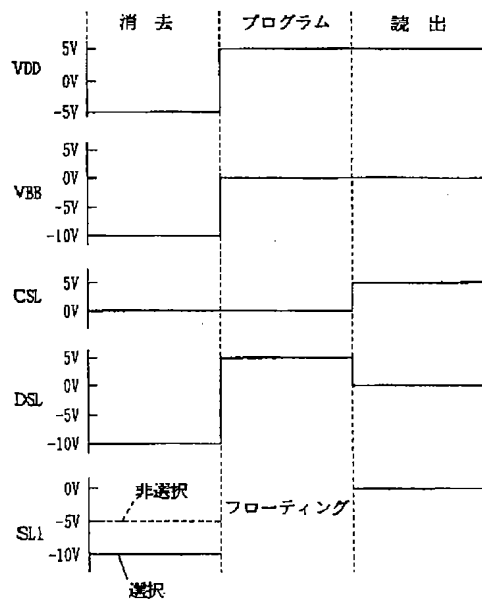
【図50】



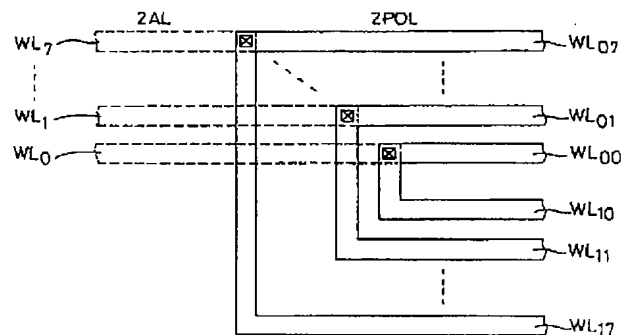
【図54】



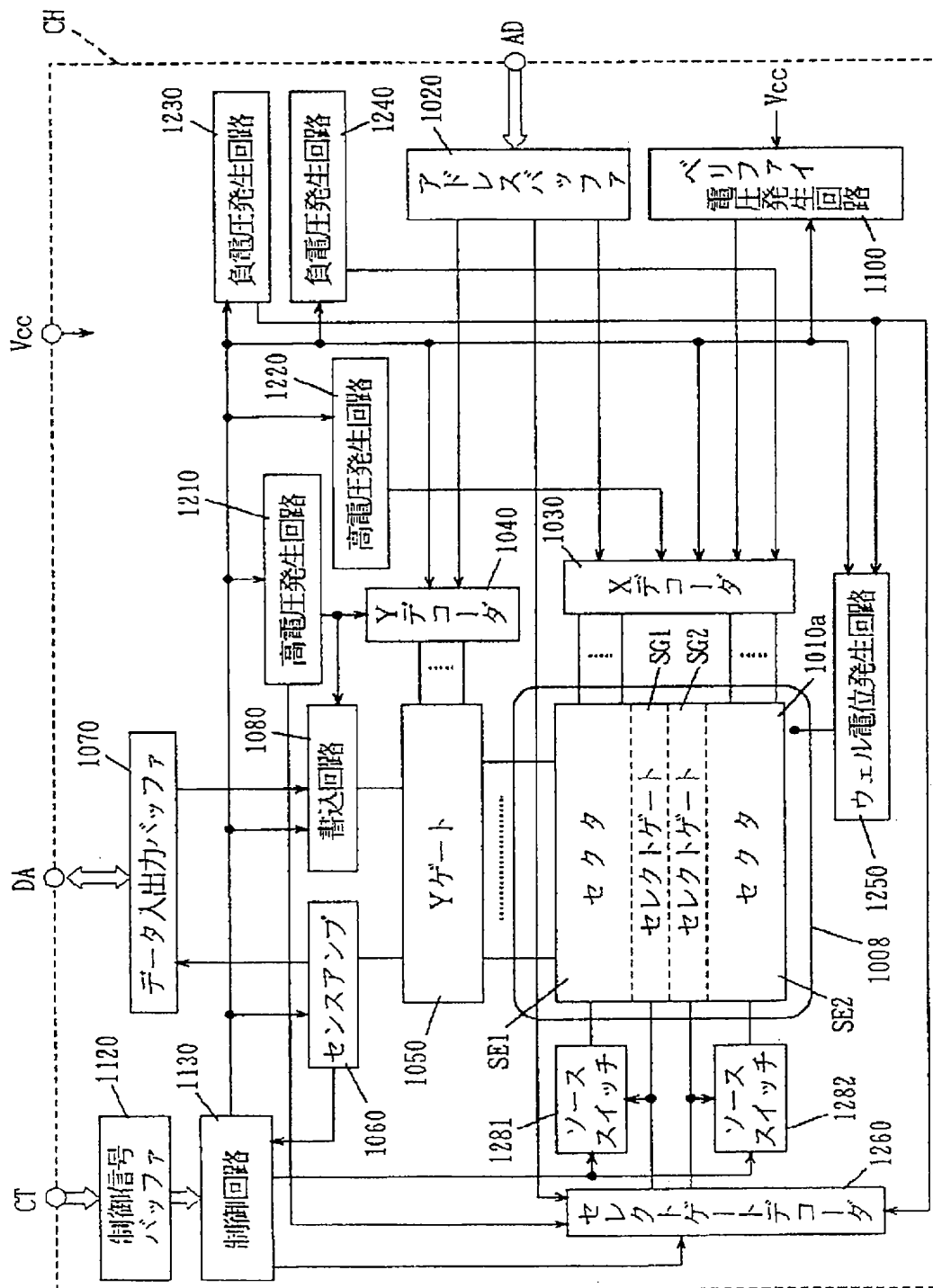
【図51】



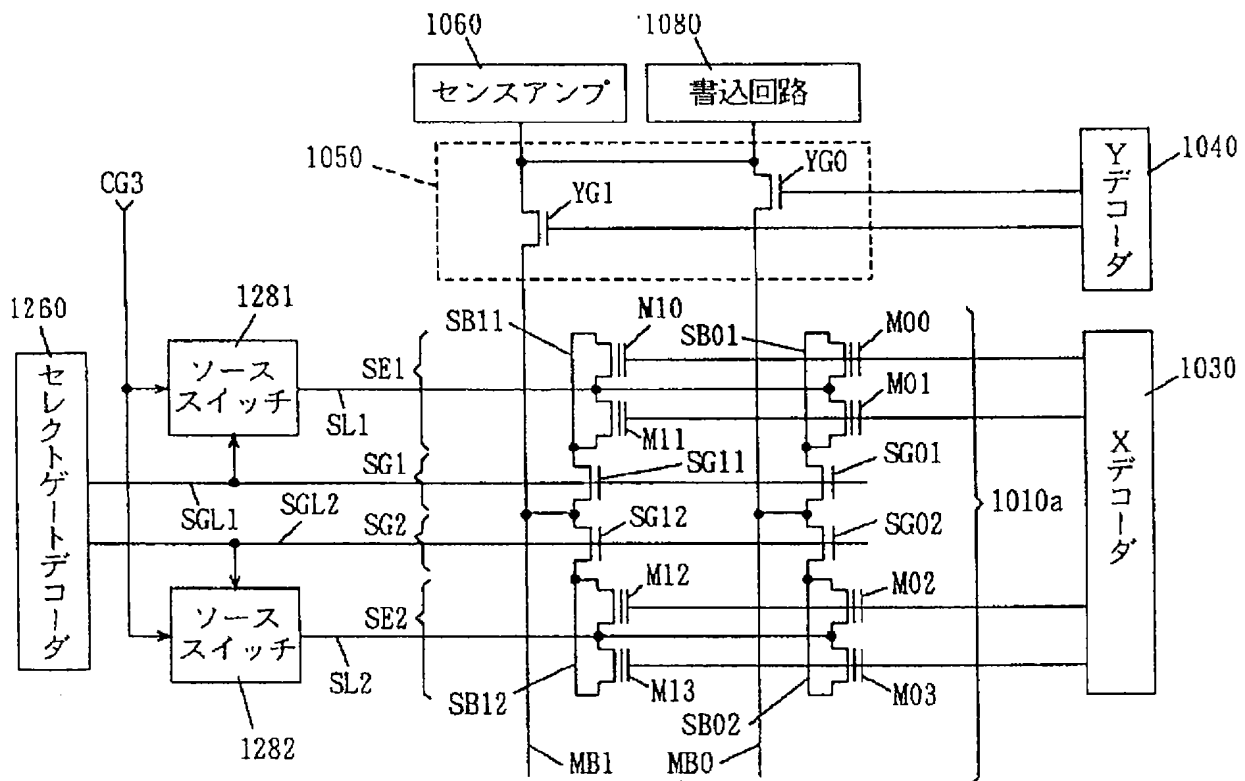
【図61】



【図52】

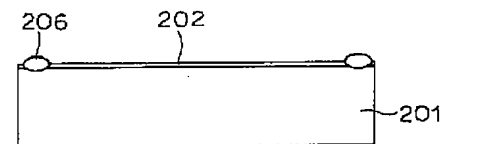
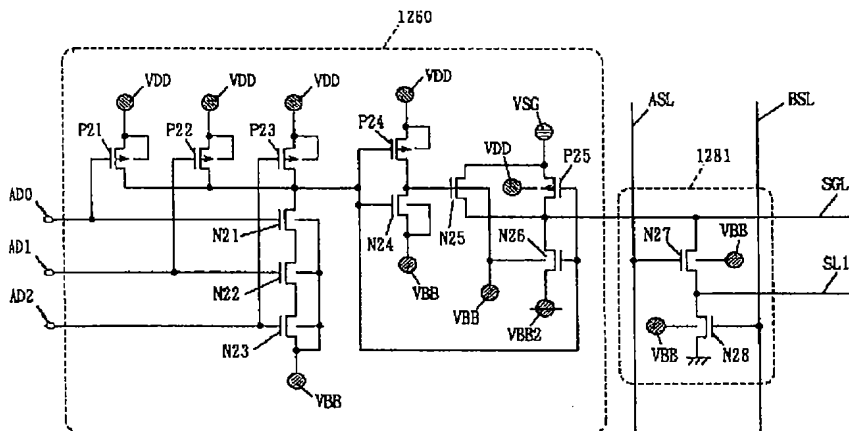


【図53】



【図55】

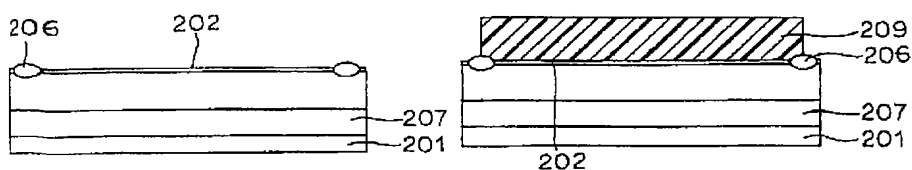
【図78】



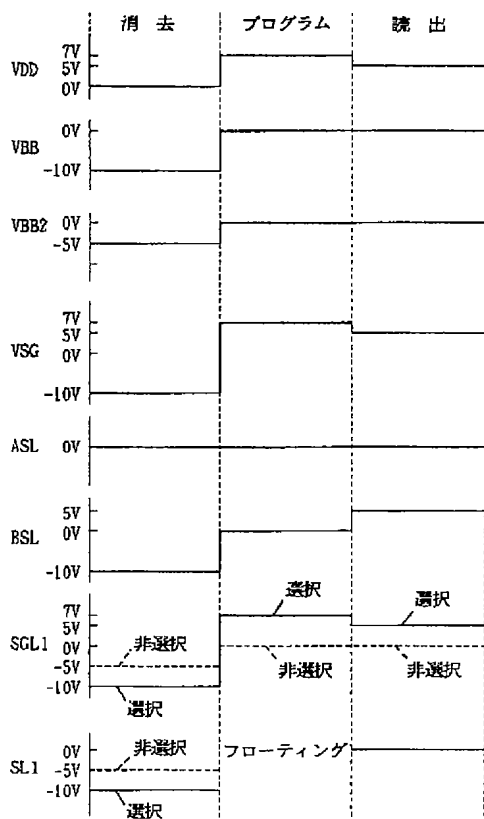
【図81】

【図79】

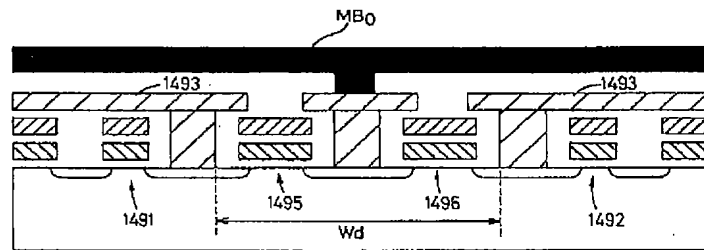
【図80】



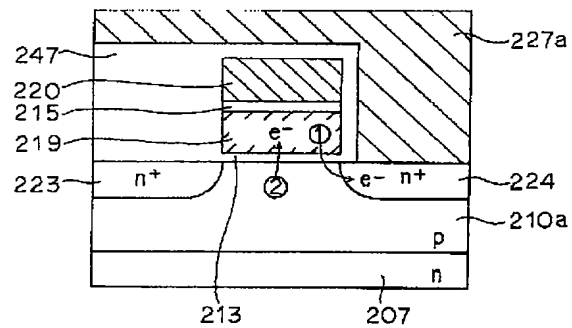
【図56】



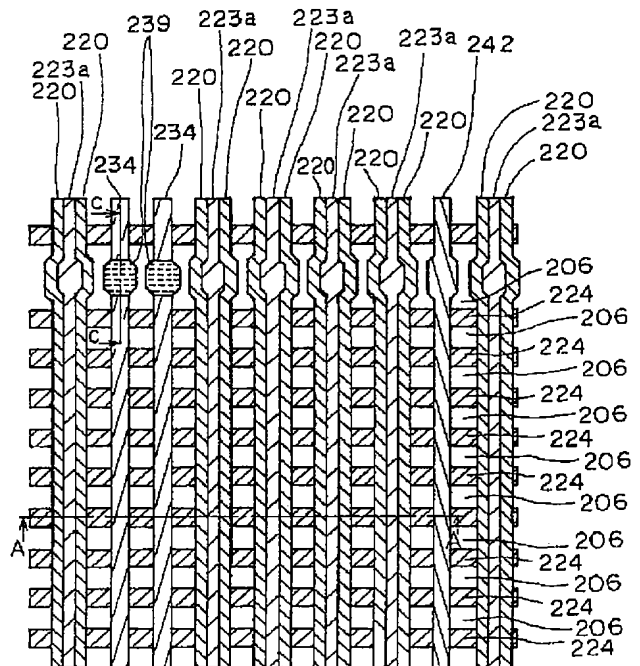
【図63】



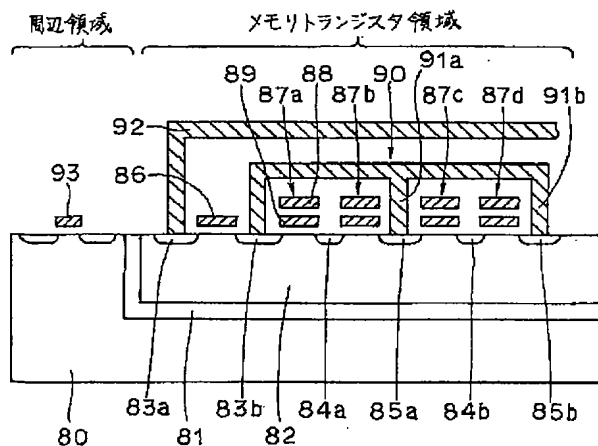
【図67】



【図68】



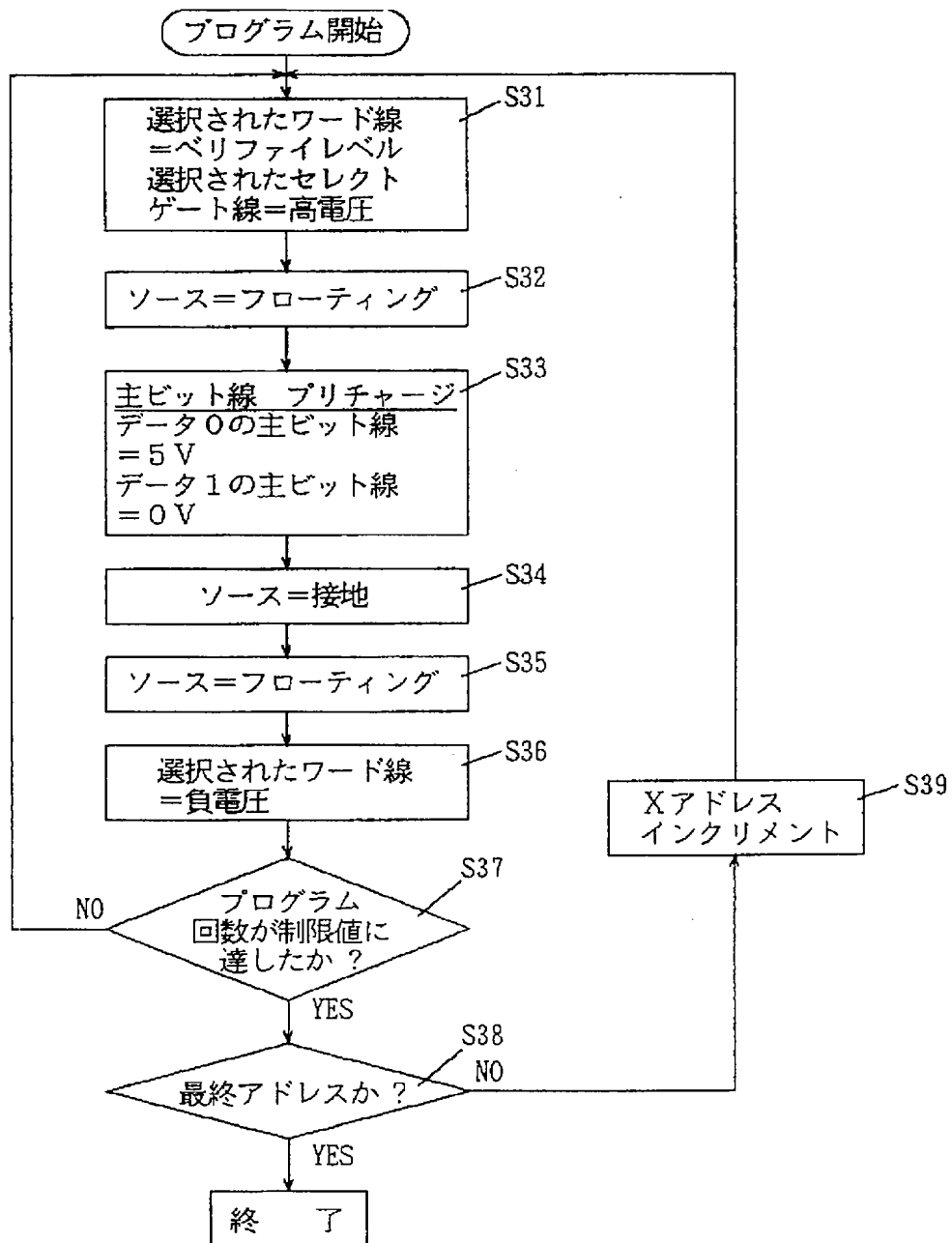
【図65】



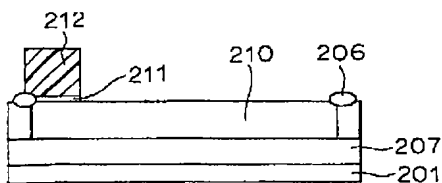
- 80: 半導体基板
- 81: nウェル領域
- 82: pウェル領域
- 83a, b: ソース/ドレイン領域
- 84a, b: ソース領域
- 85a, b: ドレイン領域
- 86: セレクトゲートトランジスタ
- 87a, b, c, d: メモリランジスタ
- 88: コントロールゲート
- 89: フローティングゲート
- 90: 副ビット線
- 91a, b: 分岐線
- 92: 主ビット線
- 93: Mos トランジスタ



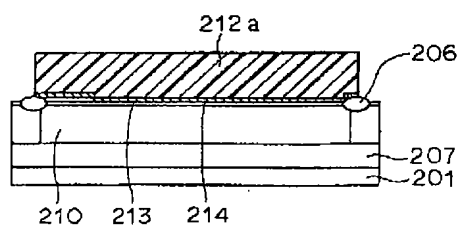
【図57】



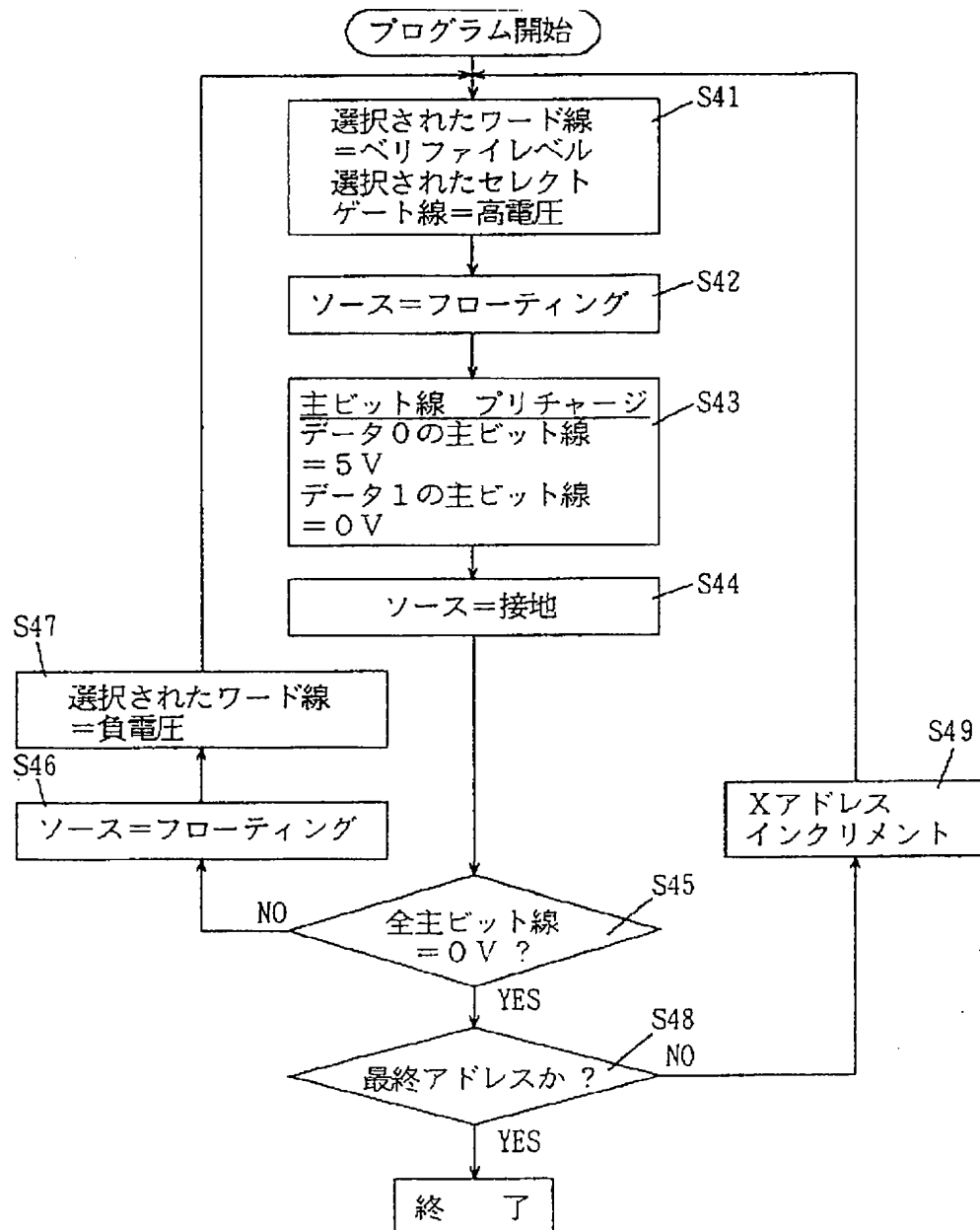
【図82】



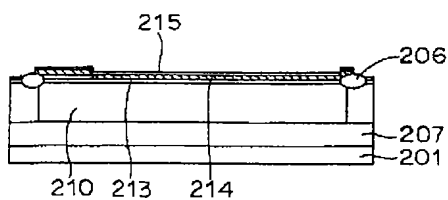
【図83】



【図58】



【図84】



【図85】

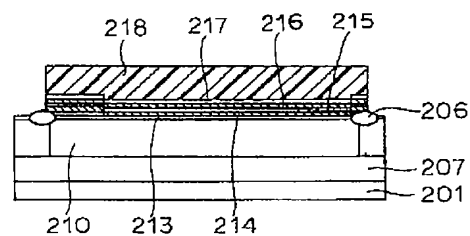
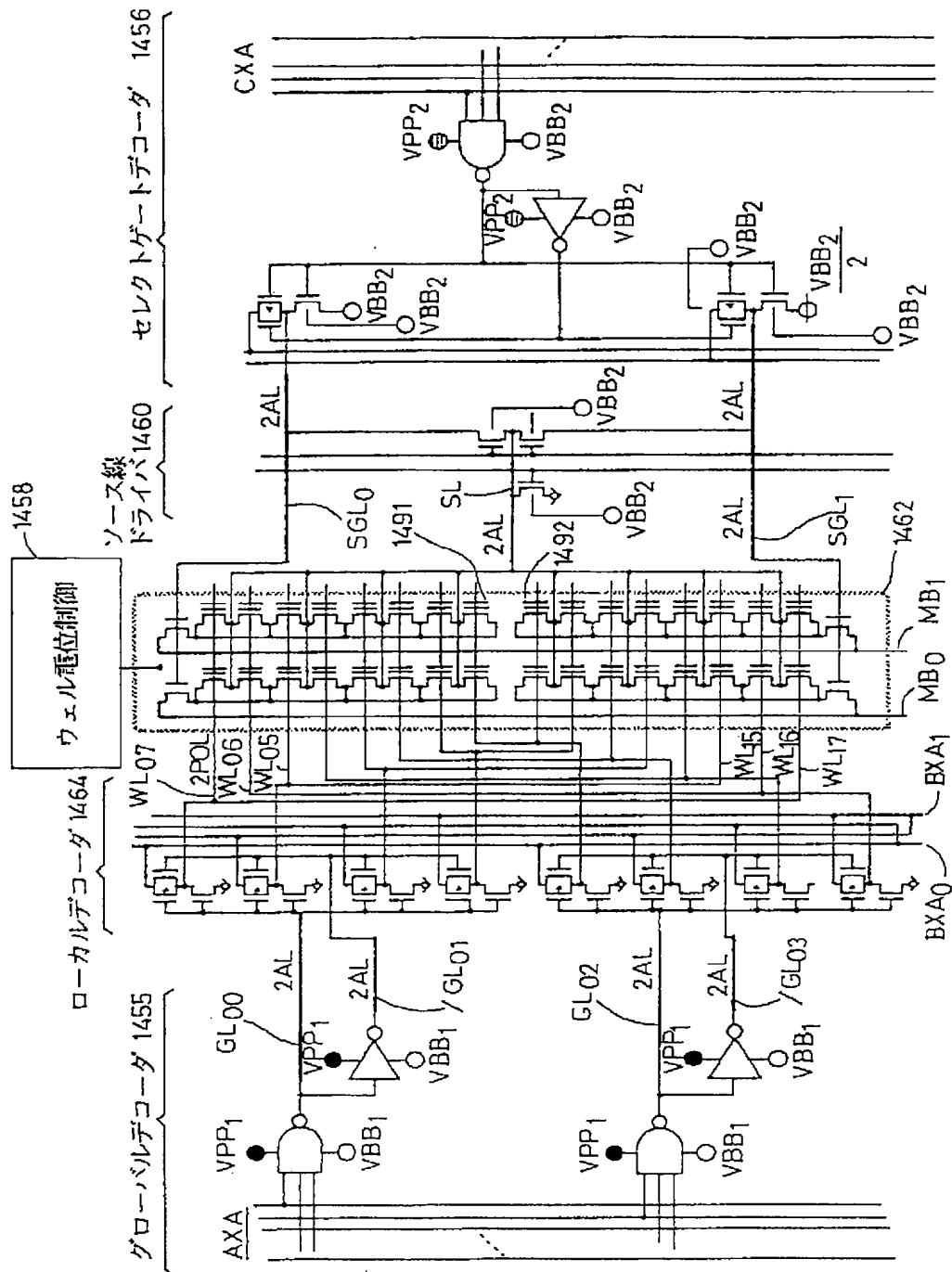
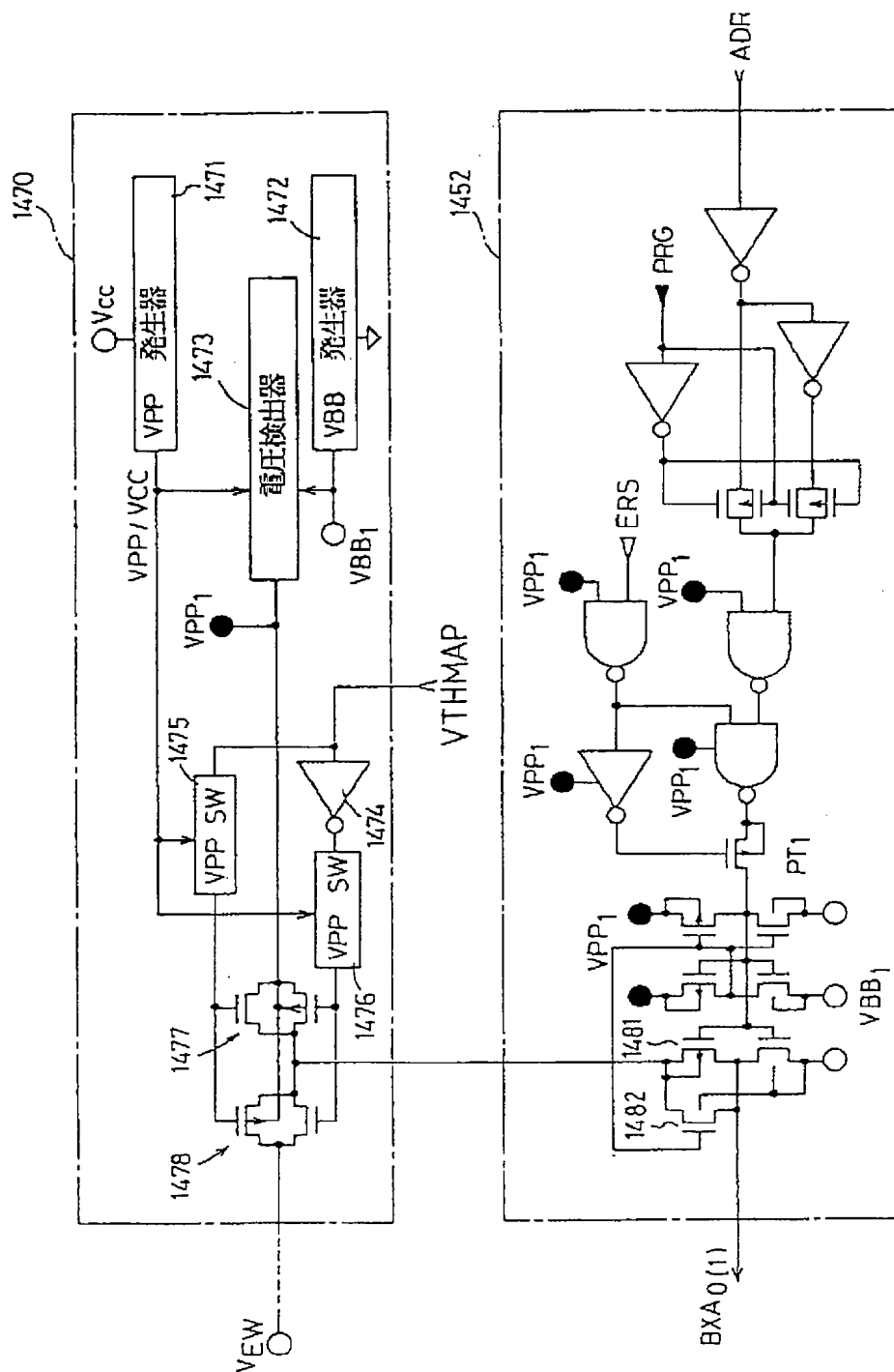


Figure 1 is a block diagram of a semiconductor device. The diagram shows a central array of components connected by a network of signal lines. At the top, there are four Pre-Decoders (1451, 1452, 1453, 1454) connected to control lines BSL0, BSL1, ASL0, and ASL1. Below these are four Source Line Drivers (1455, 1456, 1457, 1458) connected to control lines AXA, CXA, DXA, and BXA(0)0 3, BXA(1)0 3. The central part of the diagram contains two Memory Cell Arrays (1461, 1462) and two Local Decoders (1463, 1464). The bottom part of the diagram shows a Global Decoder (1465) and a Source Line Driver (1466). The right side of the diagram shows a Select Decoder (1467) and a Source Line Driver (1468). The diagram is labeled with various signal lines and control lines, including BSL0, BSL1, ASL0, ASL1, GL00, GL01, SGL00, SGL01, SGL02, SGL03, SGL10, SGL11, and GL10, GL11.

【図60】

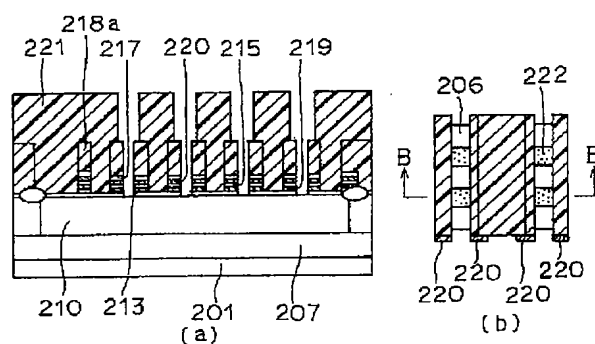


VTНМАР

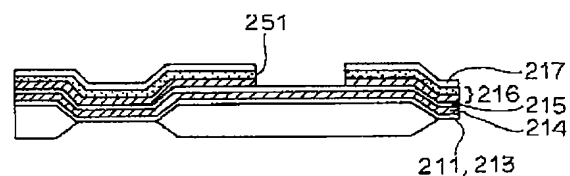




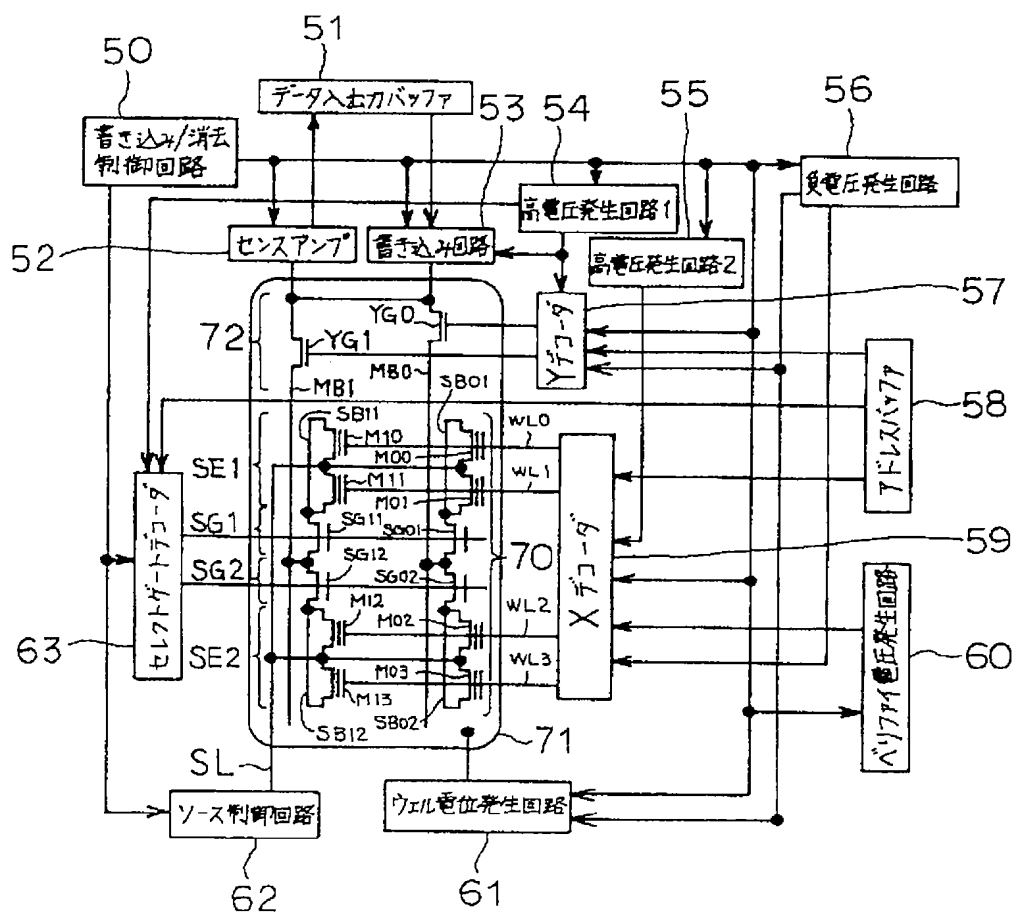
【图 8 7】



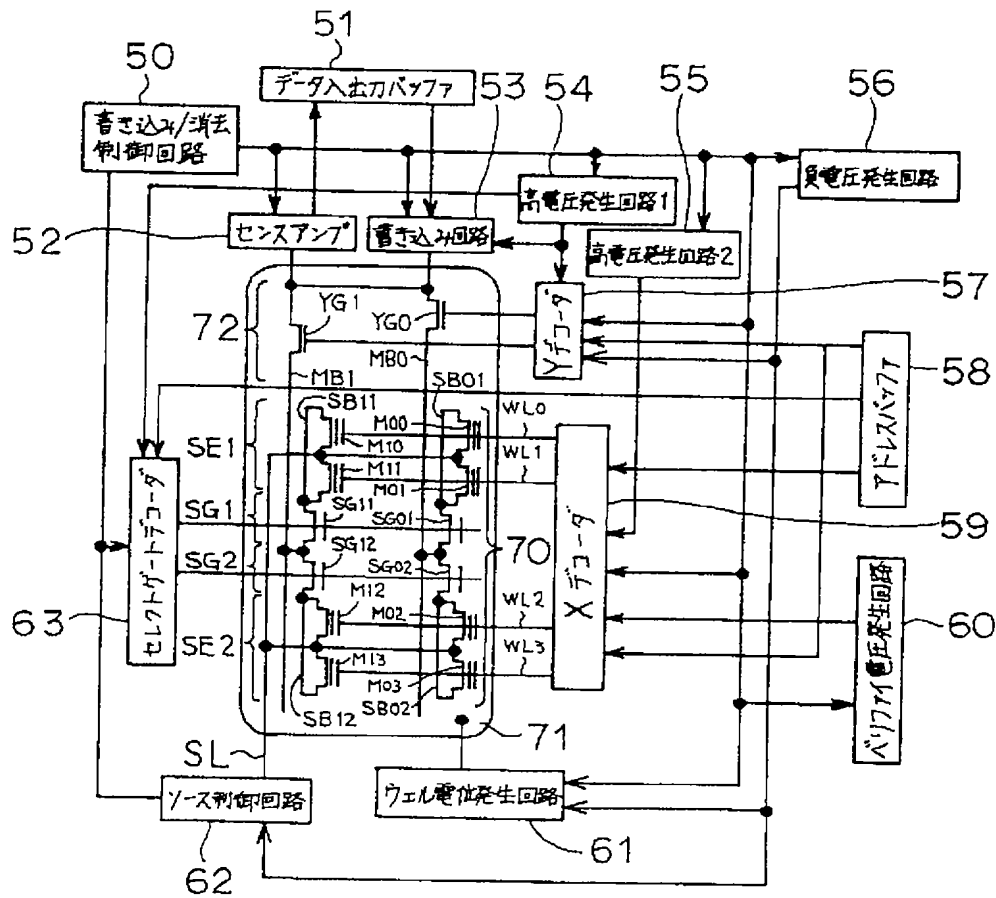
【図 9 7】



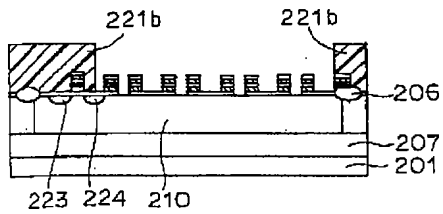
【图 7 2】



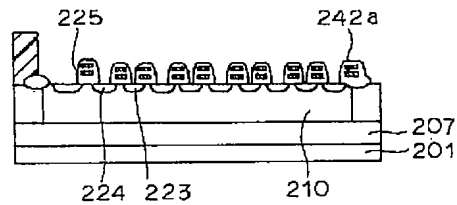
【図73】



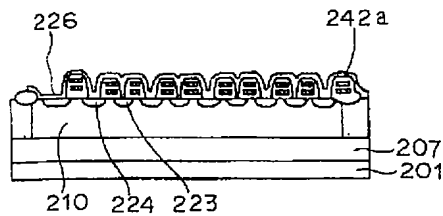
【図89】



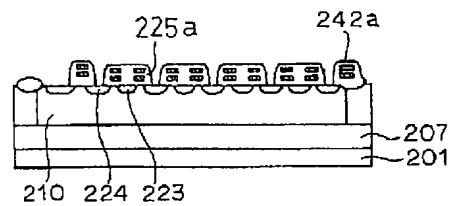
【図90】



【図91】

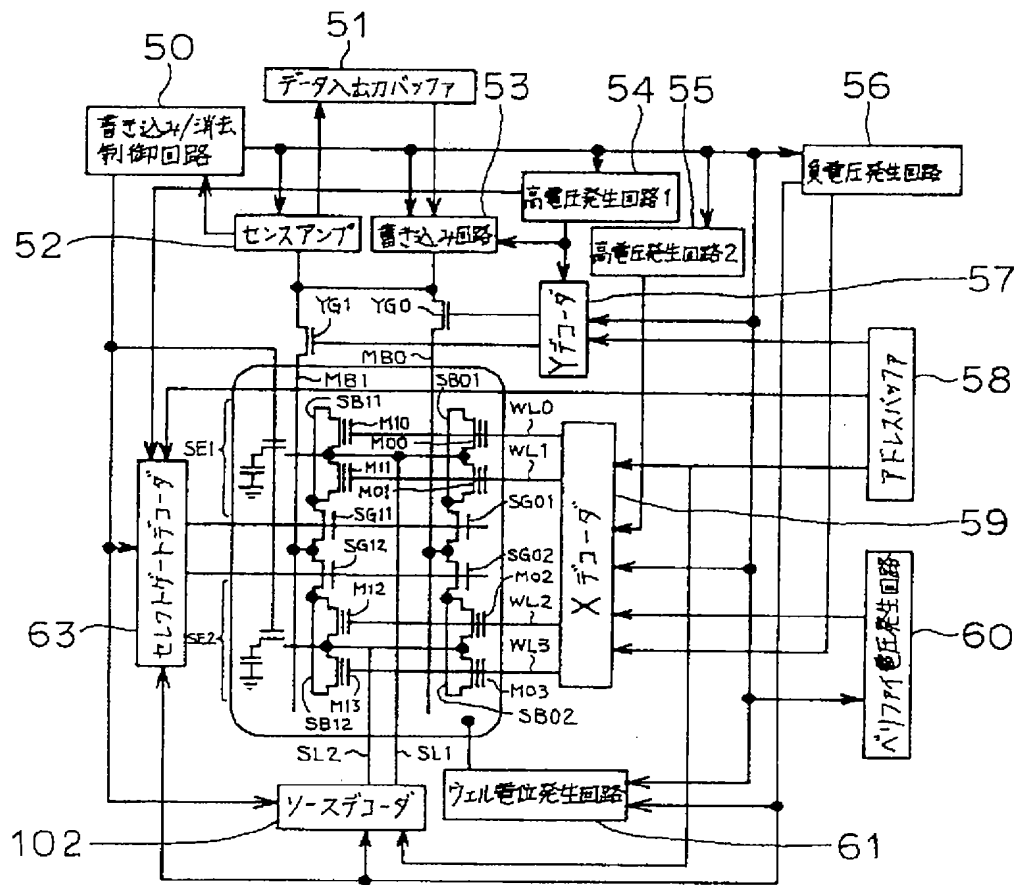


【図92】



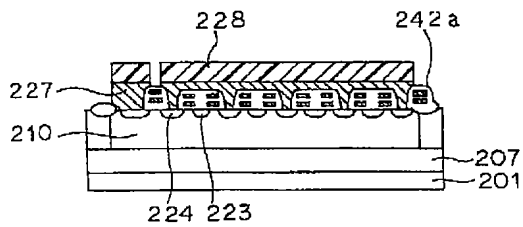


【図74】

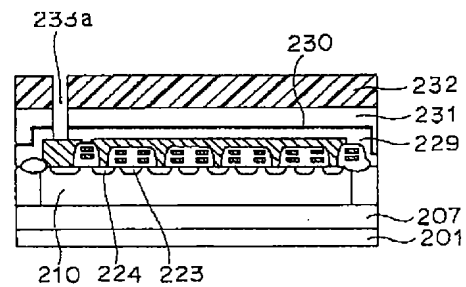


【図93】

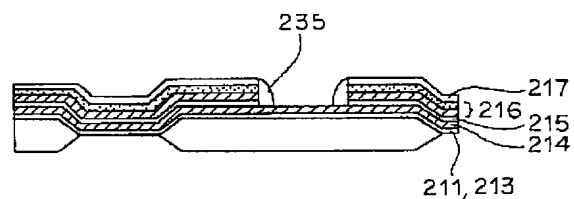
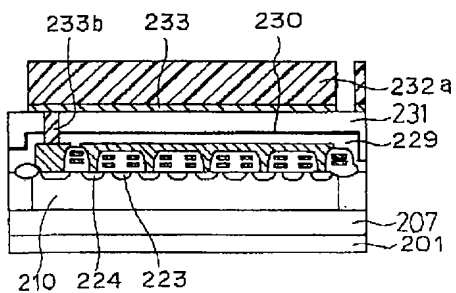
【図94】



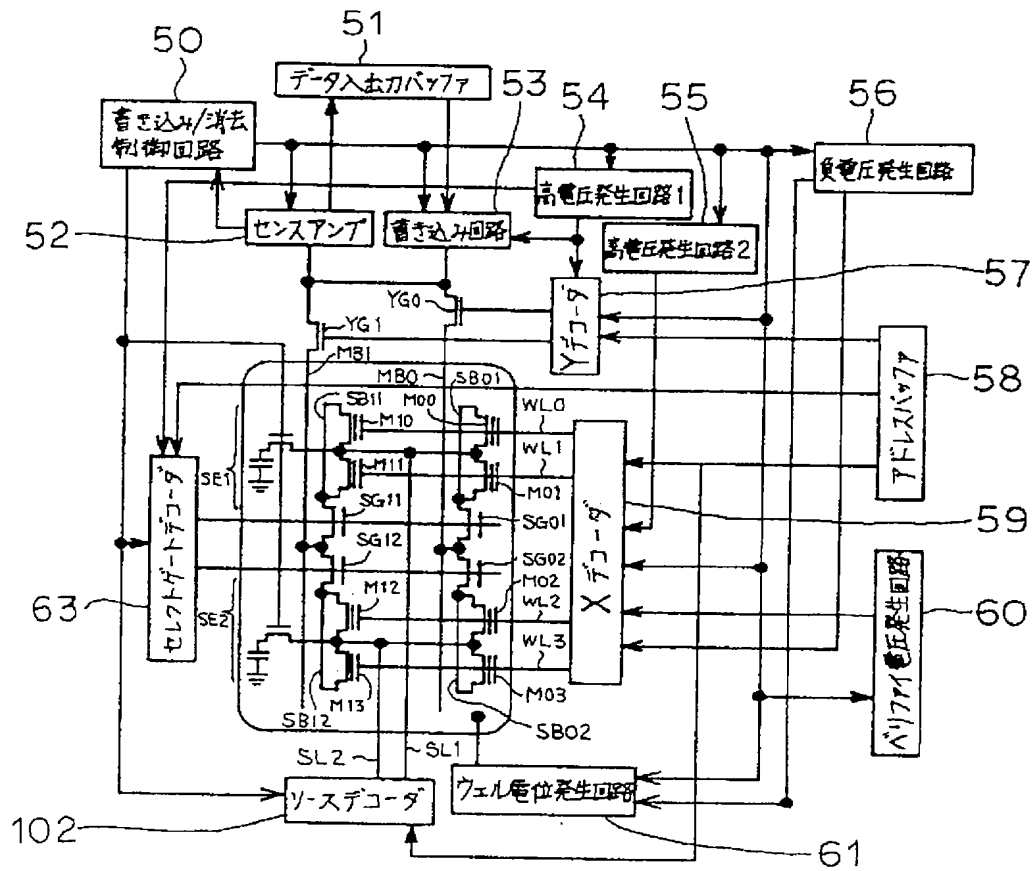
【図95】



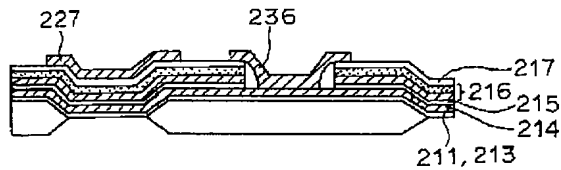
【図98】



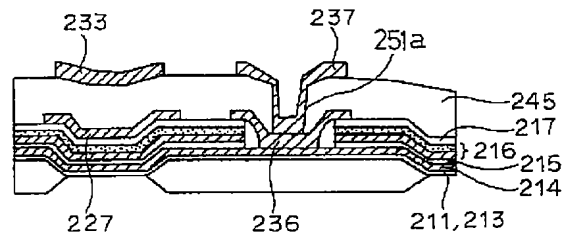
【図75】



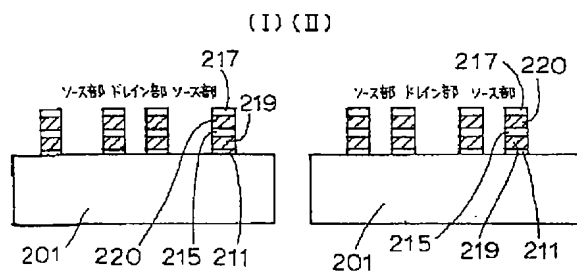
【図99】



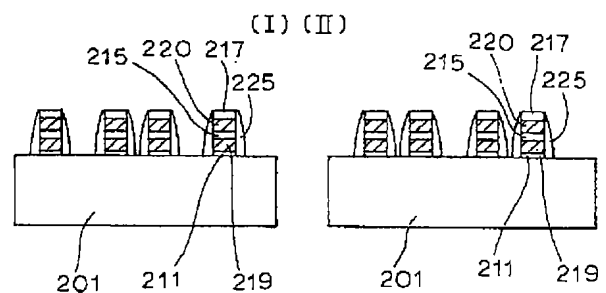
【図100】



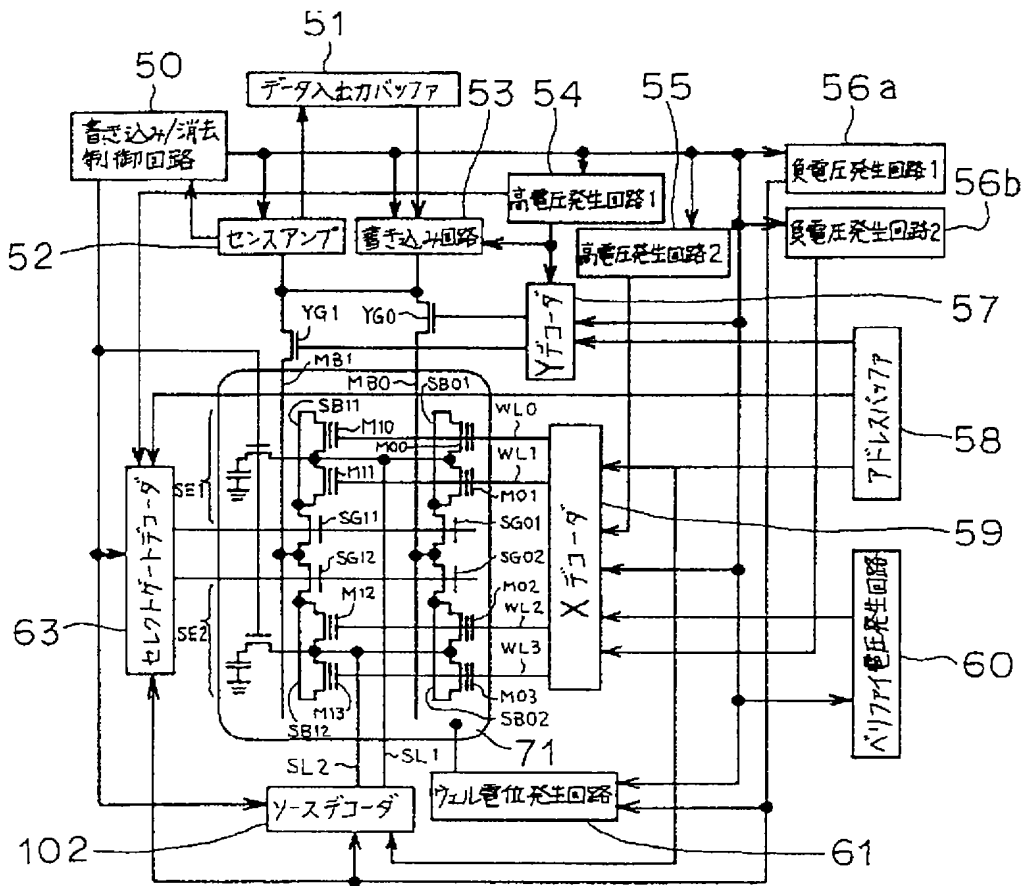
【図102】



【図103】

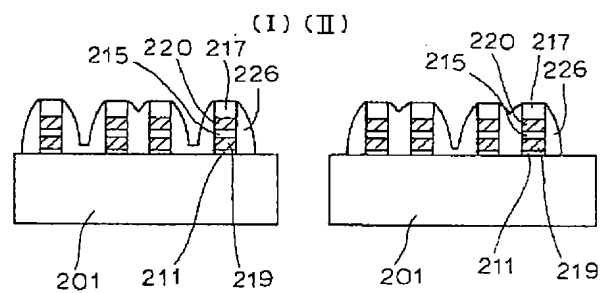
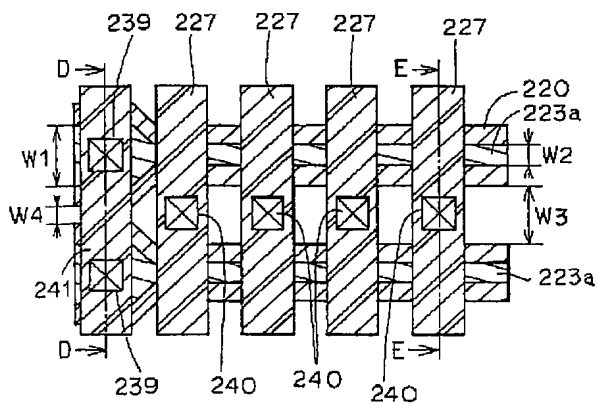


【図76】

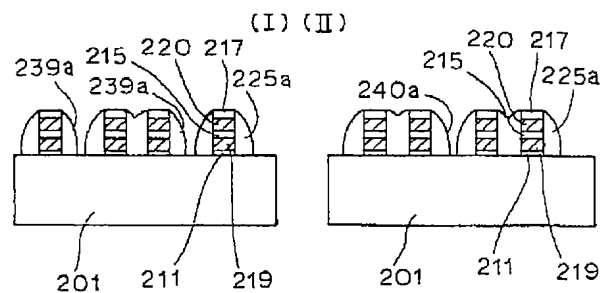


【図101】

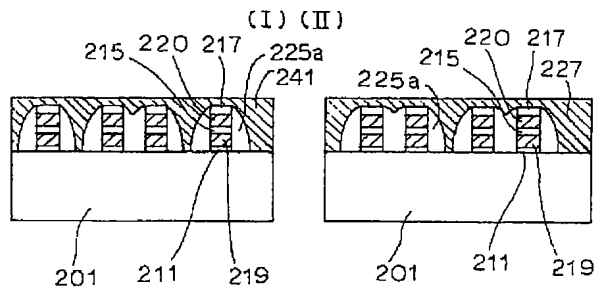
【図104】



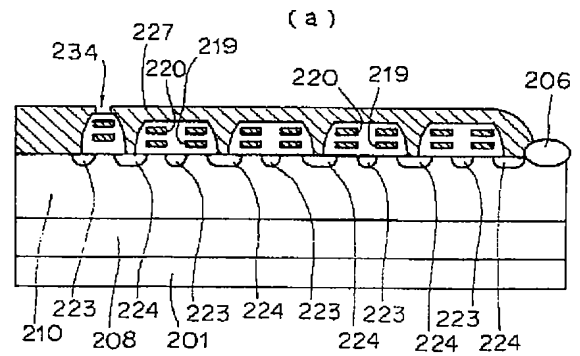
【図105】



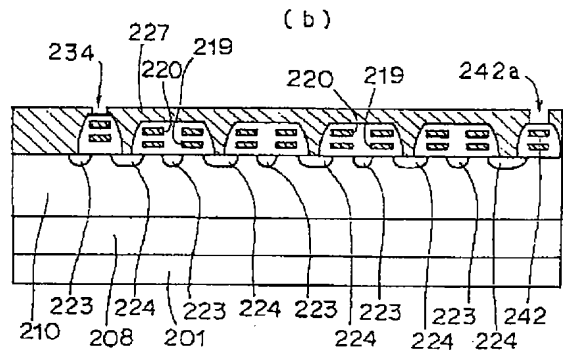
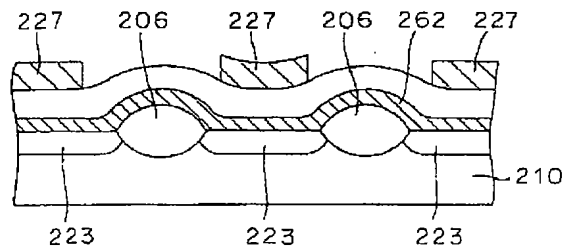
【図106】



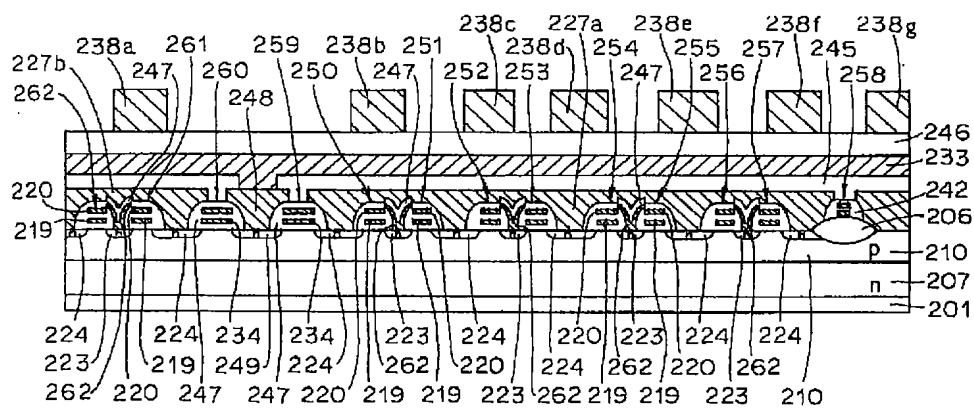
【図107】



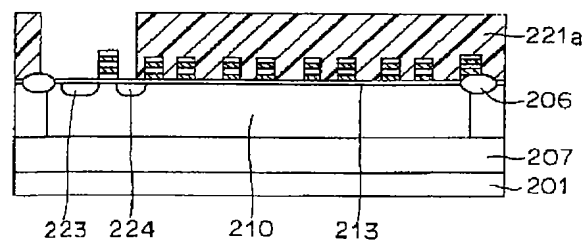
【図109】



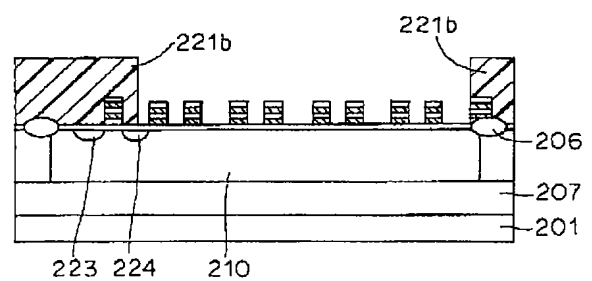
【図108】



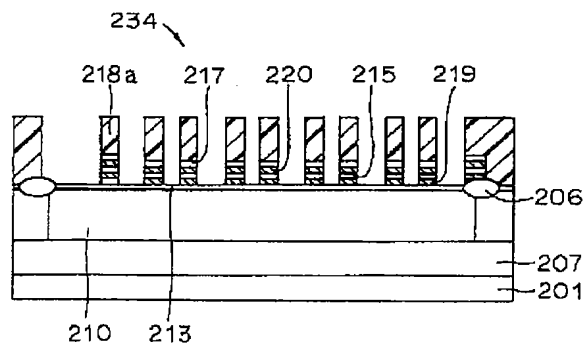
【図111】



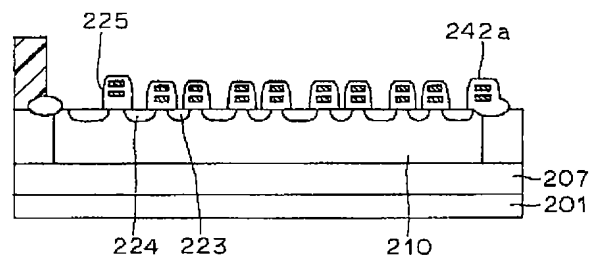
【図112】



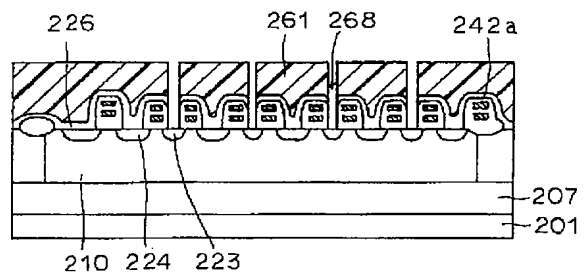
【図110】



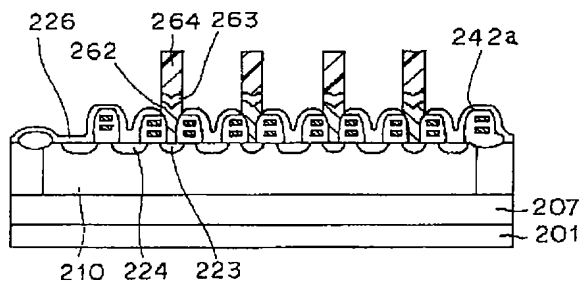
【図113】



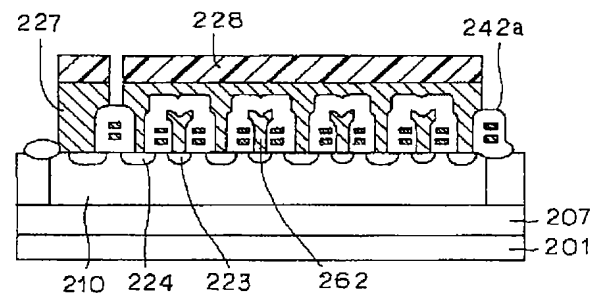
【図115】



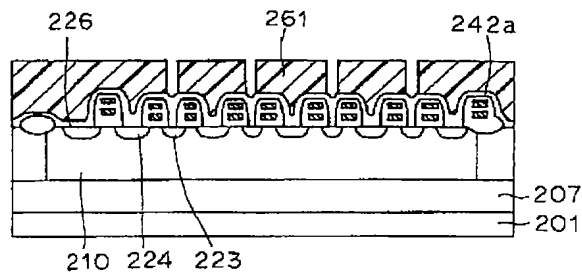
【図117】



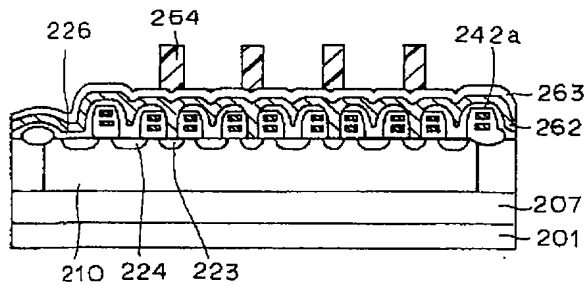
【図119】



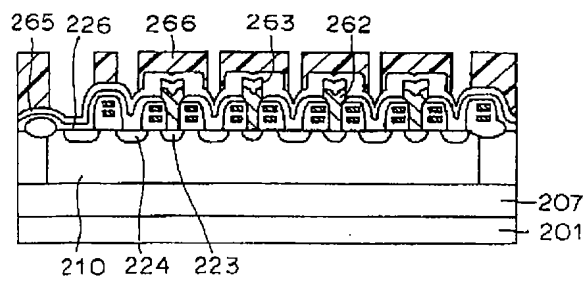
【図114】



【図116】

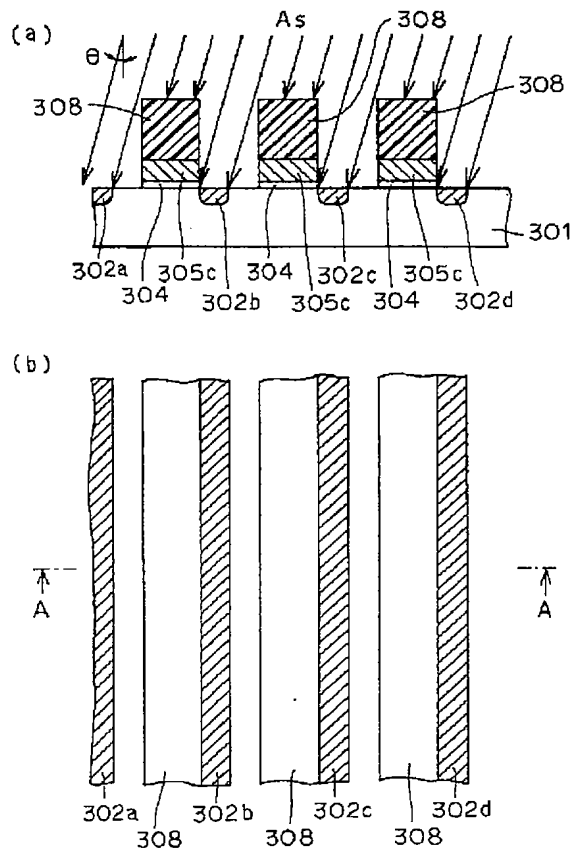


【図118】

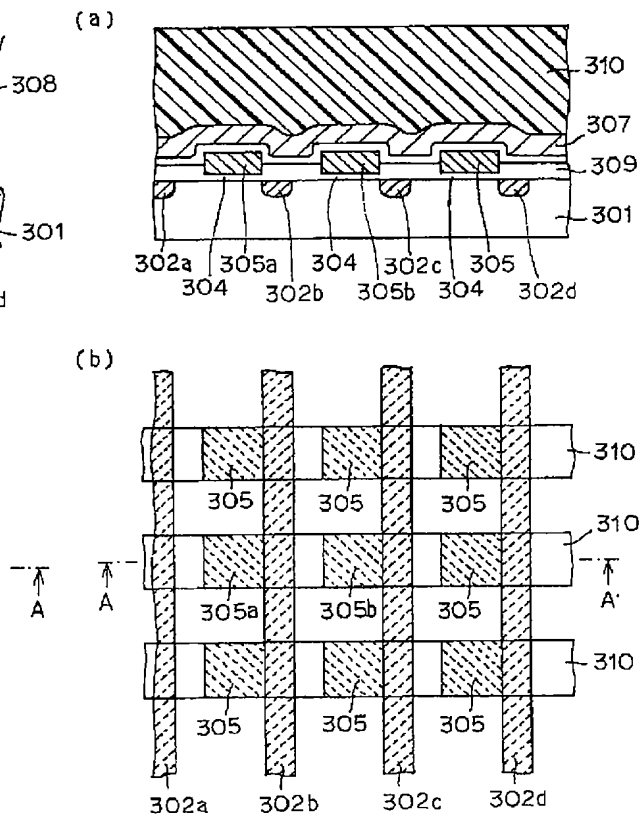




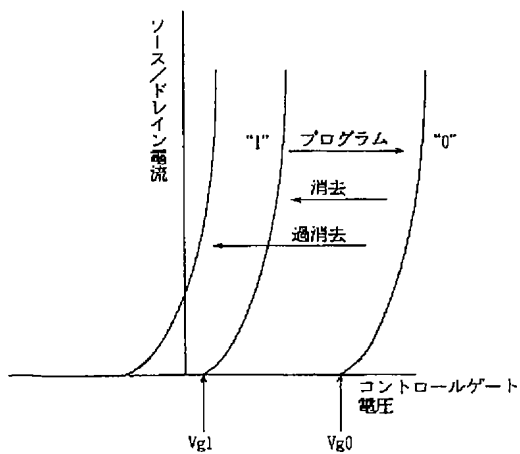
【図122】



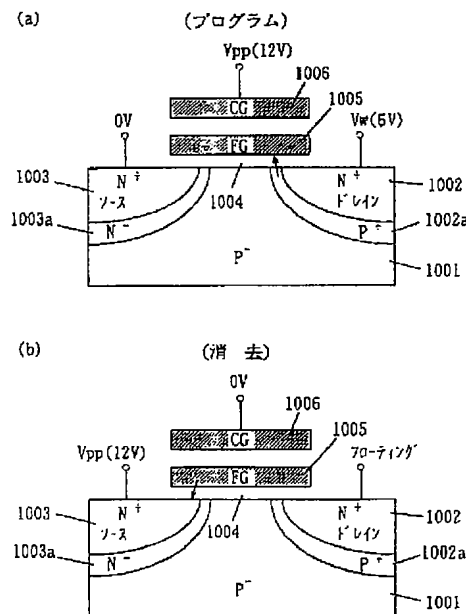
【図125】



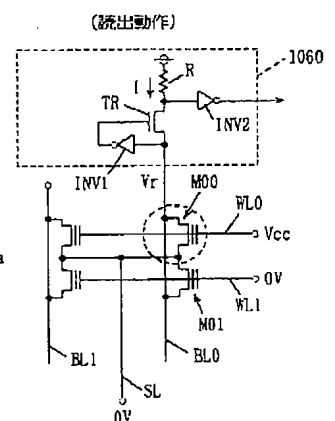
【図129】



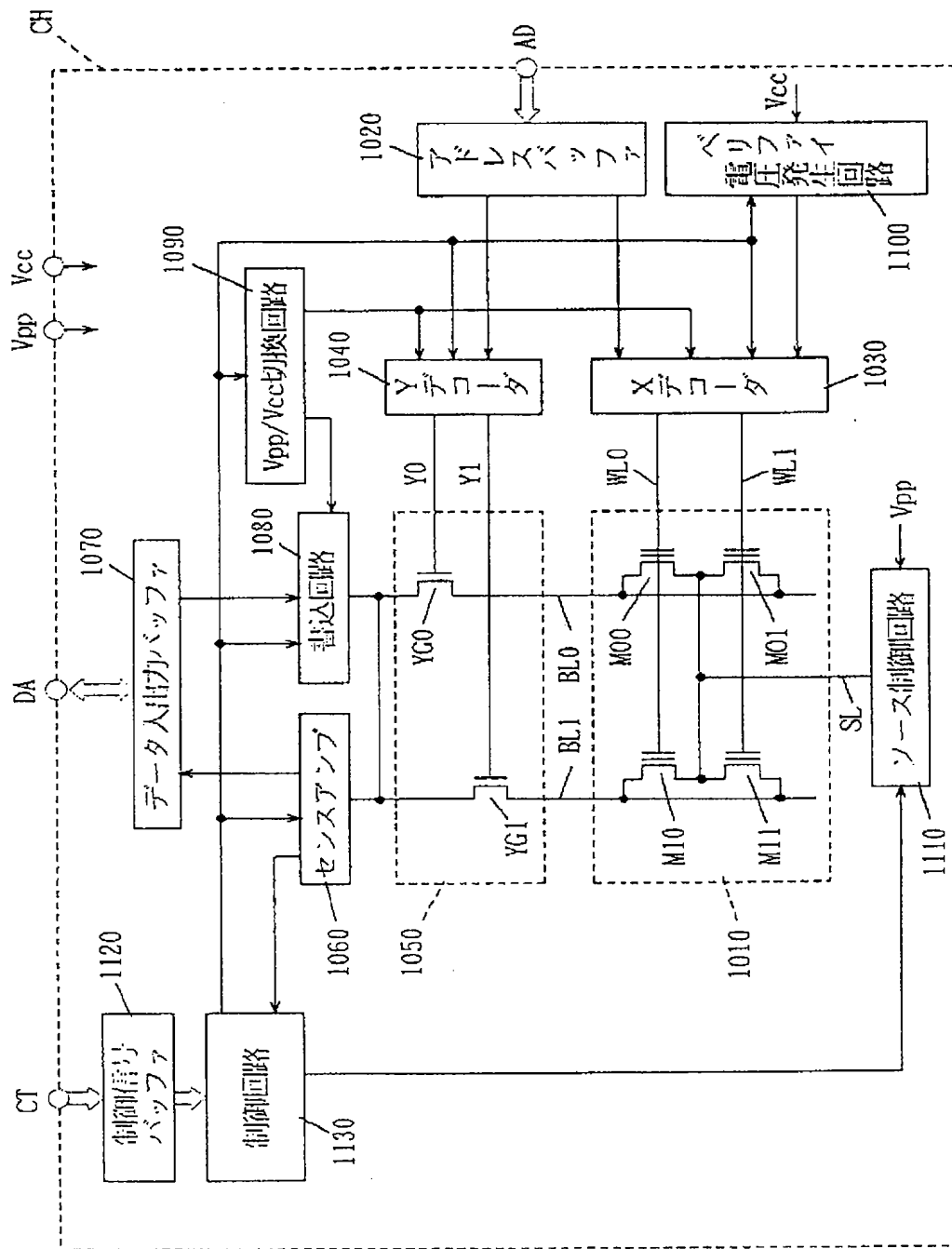
【図130】



【図137】

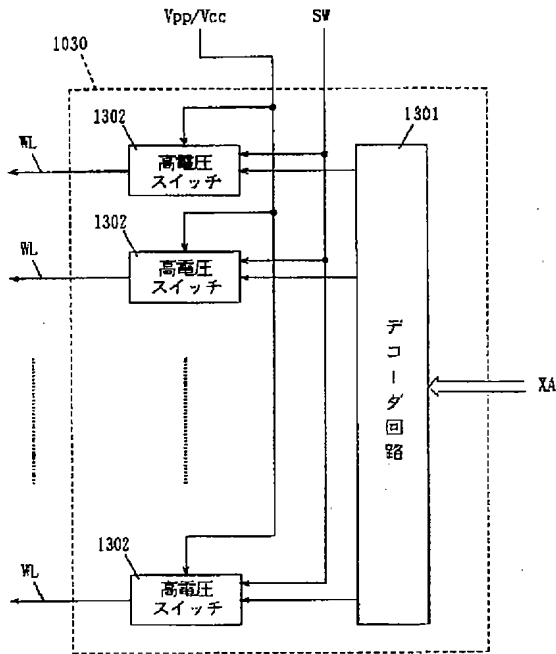


【図131】

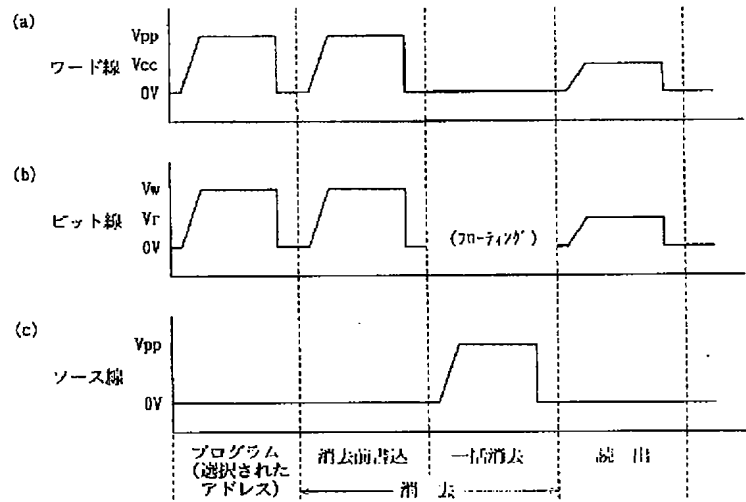




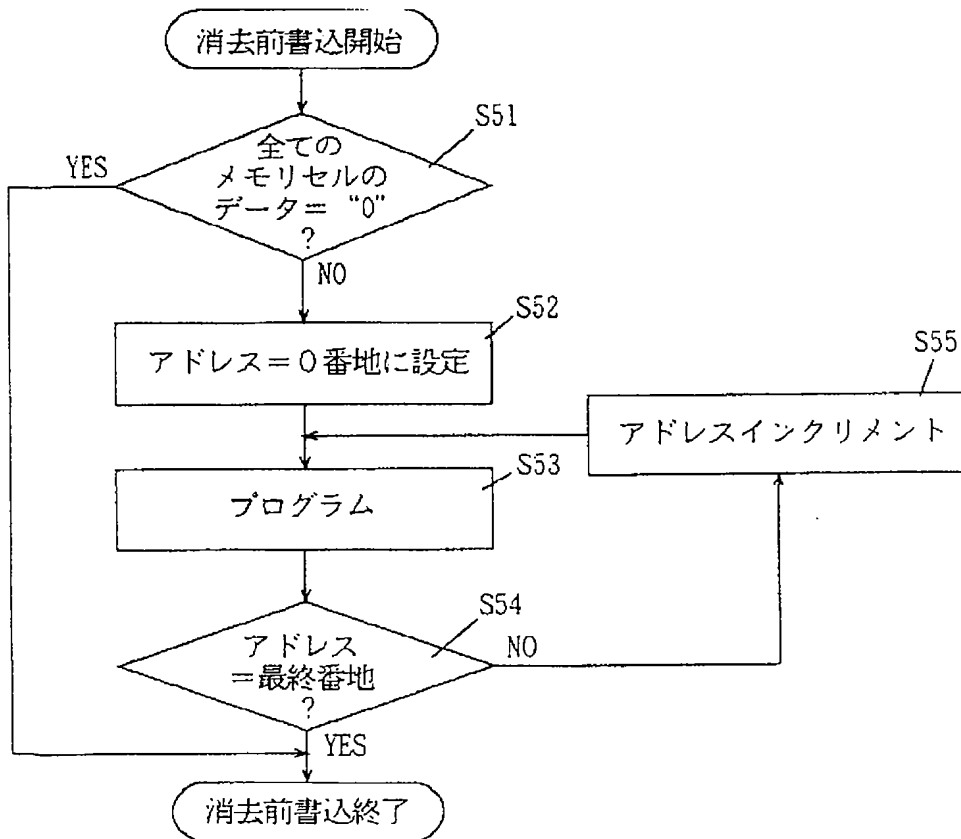
【図132】



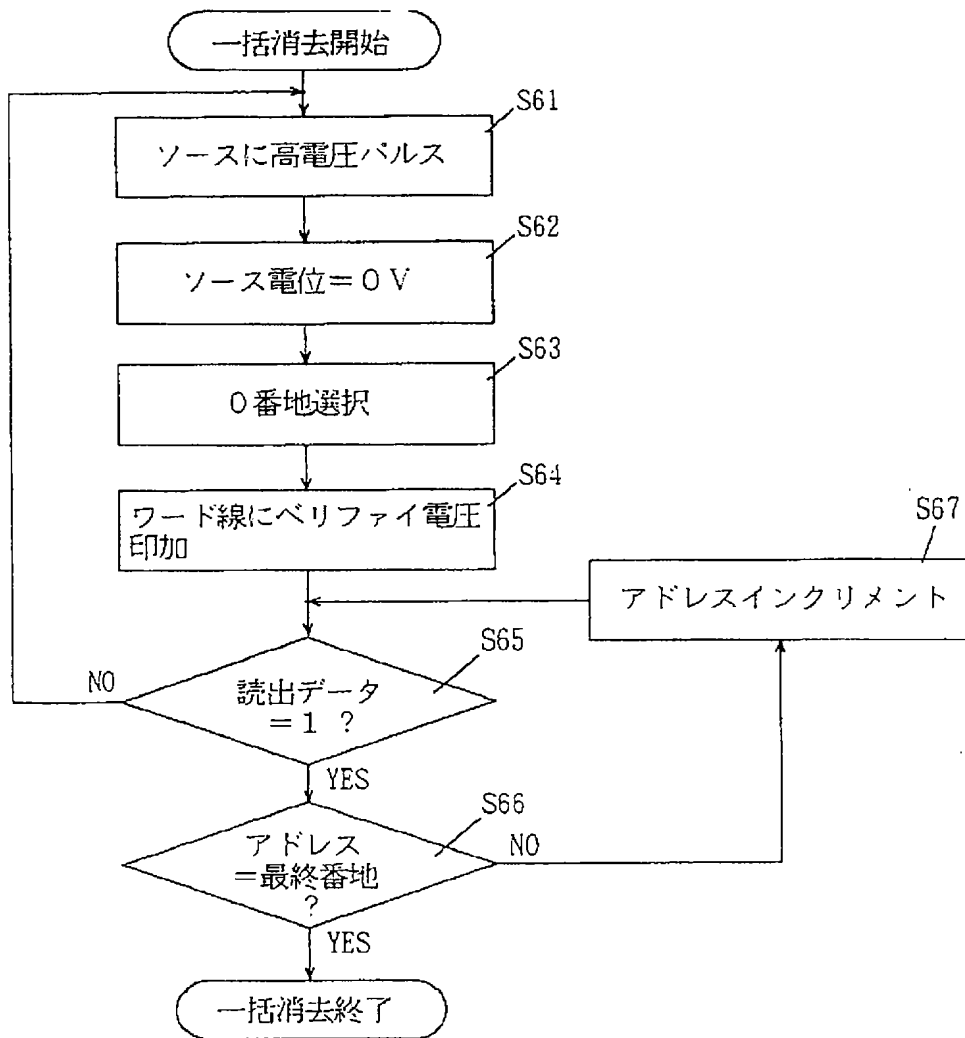
【図138】



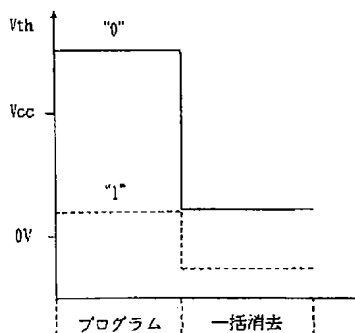
【図134】



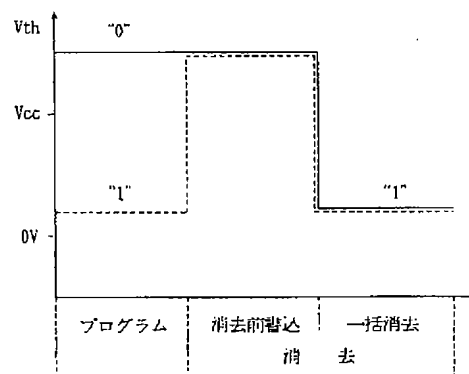
【図 1 3 5】



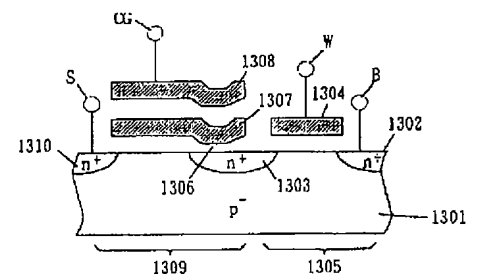
【図 1 3 9】



【図 1 4 0】

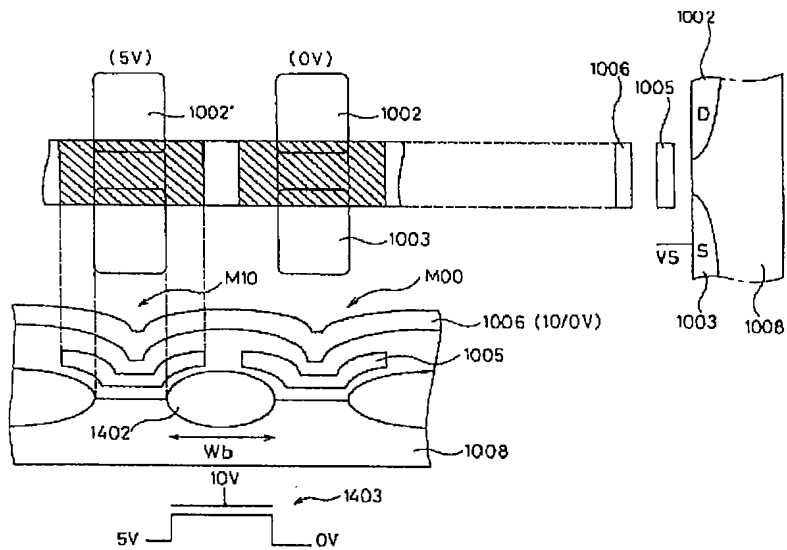


【図 1 4 3】

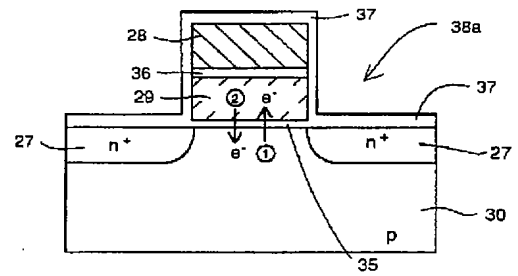




【図146】

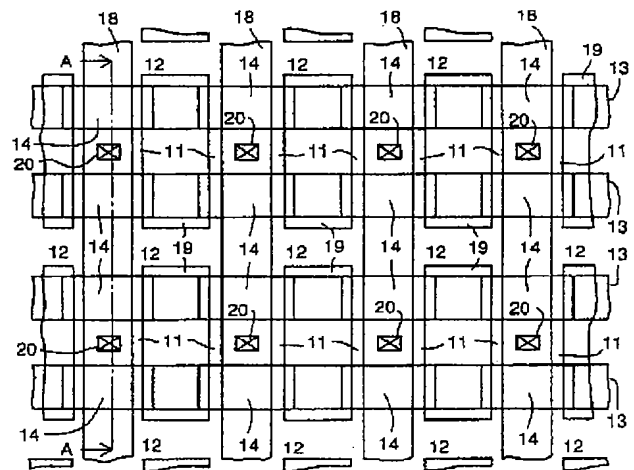
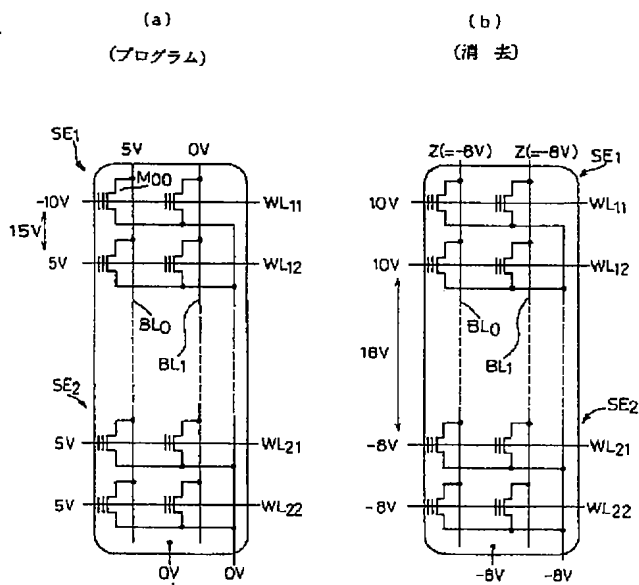


【図155】



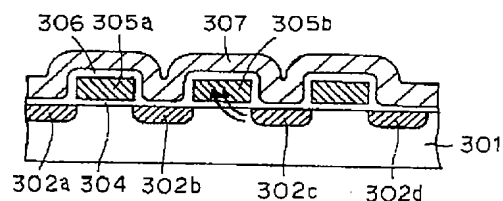
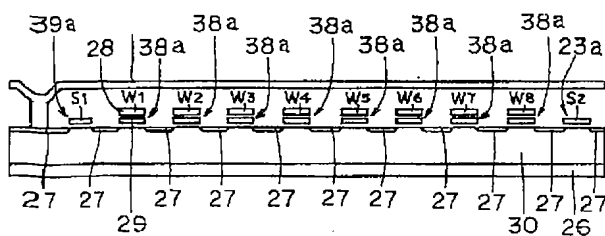
【図147】

【図151】

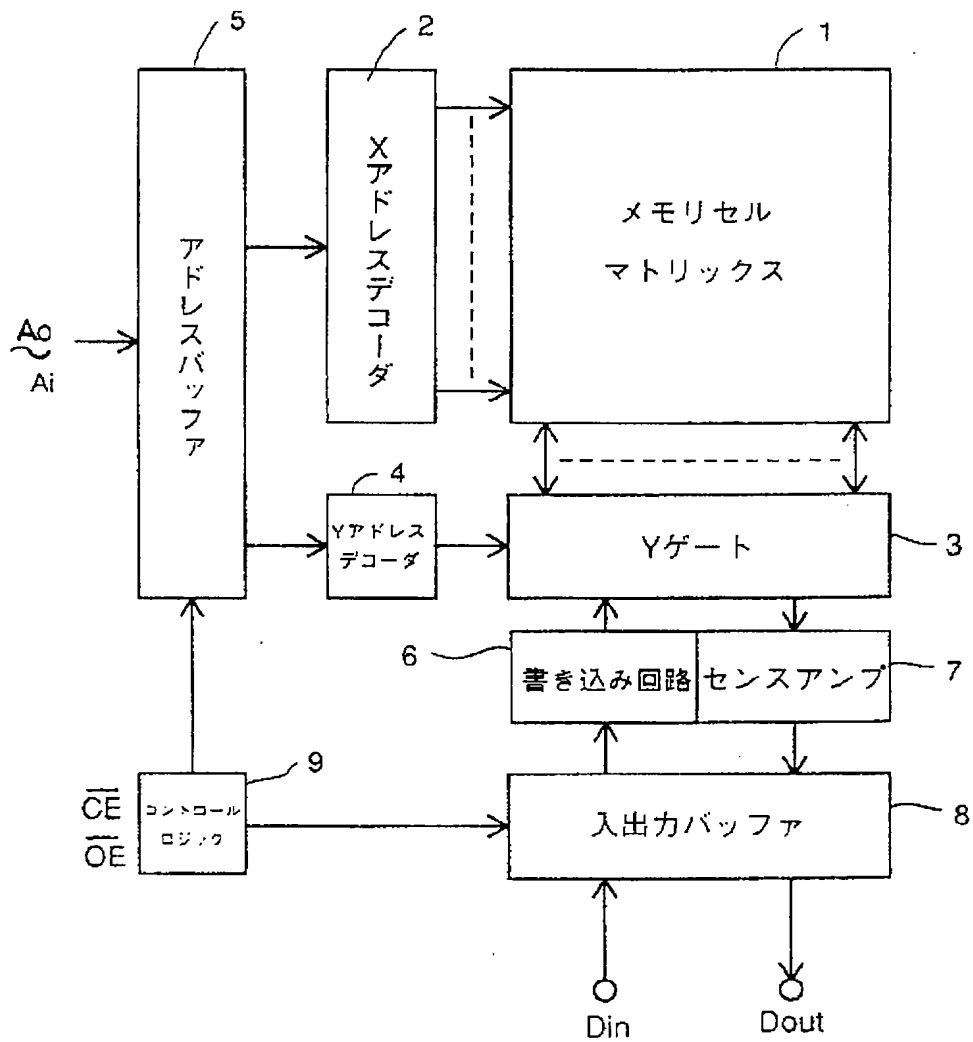


【図154】

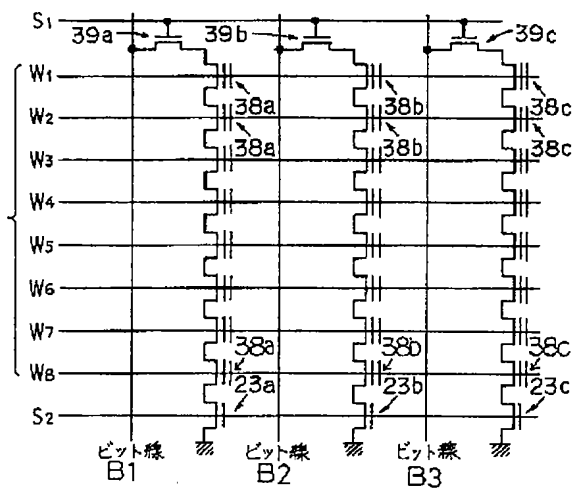
【図157】



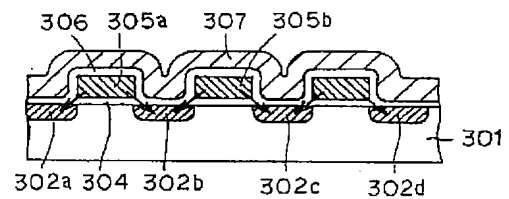
【図148】



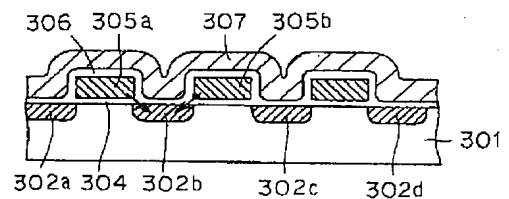
【図153】



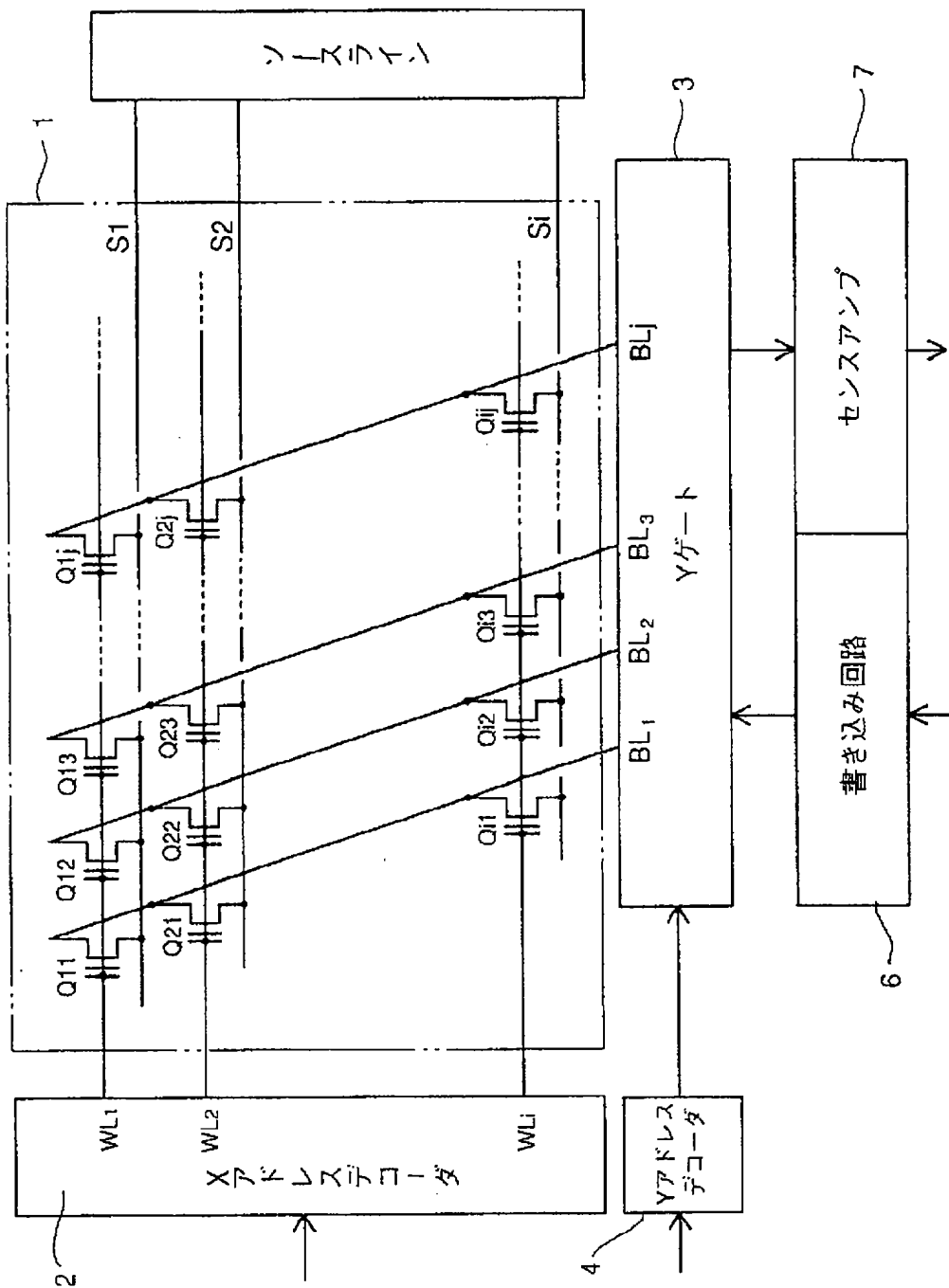
【図158】



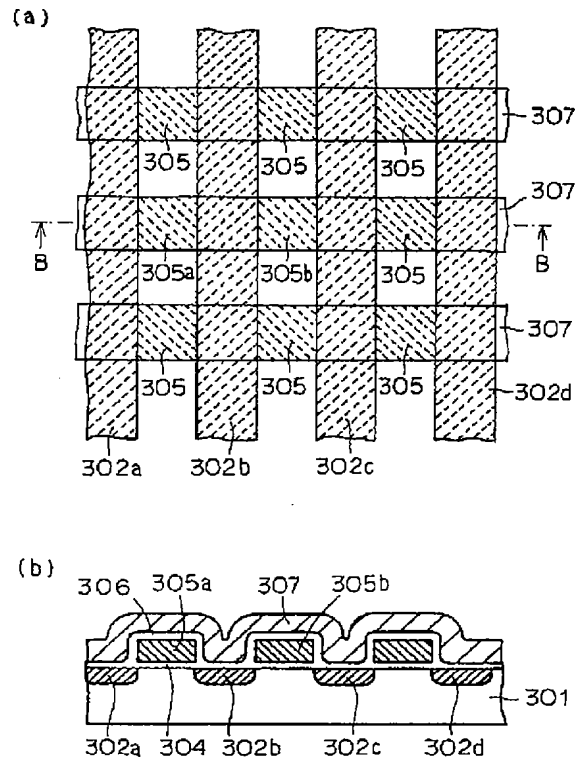
【図159】



【図149】



【図156】



## 【手続補正書】

【提出日】平成5年7月6日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項8

【補正方法】変更

## 【補正内容】

【請求項8】 複数行および複数列に配列された複数のメモリセルと、  
 前記複数行に対応して設けられた複数のワード線と、  
 前記複数列に対応して設けられた複数の主ビット線と、  
 前記複数のメモリセルに共通に設けられたソース線とを備え、  
 前記複数のメモリセルは、各々が複数行および複数列に配列された複数のメモリセルを含む複数のセクタに分割され、  
 前記複数のセクタに対応して設けられ、各々が対応するセクタ内の複数列に対応する複数の副ビット線を含む複数の副ビット線群と、  
 前記複数の副ビット線群を選択的に前記複数の主ビット線に接続する第1の接続手段とをさらに備え、  
 前記複数のメモリセルの各々は、対応するワード線に接続されたコントロールゲート、対応する副ビット線に接

続されたドレイン、前記ソース線に接続されたソース、およびフローティングゲートを含み、  
 消去時に、選択されたセクタ内の複数のメモリセルのフローティングゲートに同時に電子を注入する電子注入手段と、  
 プログラム時に、選択されたメモリセルのフローティングゲートから電子を引抜く電子引抜き手段とをさらに備えた、不揮発性半導体記憶装置。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】請求項15

【補正方法】変更

## 【補正内容】

【請求項15】 半導体基板と、  
 前記基板上に形成された主ビット線と、  
 互いに直列に設けられ、かつ各々が前記基板上で前記主ビット線に平行に形成された第1および第2の副ビット線と、  
 前記主ビット線を前記第1および第2の副ビット線の対応する1本に接続する第1および第2のスイッチングトランジスタと、  
 各々が前記第1の副ビット線に接続された複数のメモリ

セルを含む第1のメモリセル群と、  
各々が前記第2の副ビット線に接続された複数のメモリセルを含む第2のメモリセル群とを含み、  
各前記メモリセルは、前記基板上に形成されたコントロールゲートおよびフローティングゲートと、基板領域に形成されたドレインおよびソースとを備え、  
各前記メモリセルは、前記ドレインを介して前記第1および第2の副ビット線の対応する1本に接続され、  
基板領域に形成され、前記第1のメモリセル群における前記第2のメモリセル群に最も近くに置かれたメモリセルを前記第2のメモリセル群における前記第1のメモリセル群に最も近くに置かれたメモリセルから絶縁する絶縁層を含む、不揮発性半導体記憶装置。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】請求項16

【補正方法】変更

【補正内容】

【請求項16】 主ビット線と、  
互いに直列に設けられ、かつ各々が前記主ビット線に平行に形成された第1および第2の副ビット線と、  
前記主ビット線を前記第1および第2の副ビット線の対応する1本に接続する第1および第2のスイッチングトランジスタと、  
各々が前記第1の副ビット線に接続された $n$ 個( $n \geq 2$ )のメモリセルを含む第1のメモリセル群と、  
各々が第2の副ビット線に接続された $n$ 個のメモリセルを含む第2のメモリセル群とを含み、  
各前記メモリセルは、コントロールゲート、フローティングゲート、ドレインおよびソースを備え、  
各前記メモリセルは、前記ドレインを介して前記第1および第2の副ビット線の対応する1本に接続され、  
各々が前記第1のメモリセル群において前記第2のメモリセル群から離れる方向に置かれた $j$ 番目( $j = 1, 2, \dots, n$ )のメモリセルのコントロールゲートを前記第2のメモリセル群において前記第1のメモリセル群から離れる方向に置かれた第 $j$ 番目のメモリセルのコントロールゲートに接続する $n$ 本の接続線と、  
外部から与えられるアドレス信号に応答して、前記 $n$ 本の接続線の1本を選択する行デコーダ手段とを含む、不揮発性半導体記憶装置。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0104

【補正方法】変更

【補正内容】

【0104】図147は、負電圧を利用したフラッシュメモリの動作を示す回路図である。図147(a)はプログラムのために与えられる電圧を示し、一方、図147(b)は消去のために与えられる電圧を示す。図147(a)を参照して、メモリセルM00のフローティングゲートに電子を注入するため、ビット線BL0に5Vの電圧が与えられ、一方、ワード線WL11に-10Vの負電圧が与えられる。一方、選択されないワード線WL12には、5Vの電圧が与えられる。言い換えると、図示されていないXデコーダは、-10Vおよび5Vの電圧を出力する必要があることになる。図147(b)を参照して、選択されたセクタSE1内にストアされたデータを消去するため、ワード線WL11およびWL12に10Vの正電圧が与えられ、一方、ビット線BL0およびBL1は高インピーダンス状態にもたらされる。一方、選択されないセクタSE2内のワード線WL21およびWL22には、-8Vの負電圧が与えられる。言い換えると、図示されていないXデコーダは、10Vの正電圧および-8Vの負電圧を出力する必要がある。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0108

【補正方法】変更

【補正内容】

【0108】この発明の他の目的は、スタックゲート型メモリセルの過消去によるデプレッション化を防止することである。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0431

【補正方法】変更

【補正内容】

【0431】

【表1】



	VPP1	VPP2	VBB1	VBB2	VBB2/2	AXA0~2
消去	10V	0V	0V	-8V	-4V	10V/0V
プログラム	0V	8V	-8V	0V	0V	0V/-8V
読出	3V	3V	0V	0V	0V	3V/0V
	BXA0~1	ASL	BSL	DXA0~1	CXA0~2	P-WELL
消去	10V	0V/-8V	-8V	-8V	0V/-8V	-8V
プログラム	0V/-8V	0V	0V	8V/0V	8V/0V	0V
読出	3V/0V	0V	3V	3V/0V	3V/0V	0V

第12の実施例では、すでに述べた様々な利点に加えて、次のような追加の利点も得られる。図61は、図60に示したワード線WL00ないしWL07およびWL10ないしWL17とローカルデコーダ1464の出力線WL0ないしWL7との間の接続態様を示す半導体基板上のレイアウト図である。図61を参照して、各ワード線WL00ないしWL07およびWL10ないしWL

17は、第2ポリシリコン層により形成される。一方、ローカルデコーダ1464の各出力線は、第1アルミ配線層により形成される。各ワード線と対応する出力信号線との間の接続は、スルーホールを介して行なわれる。図61に示した接続態様は、図60に示した回路図においても示されていることが指摘される。

フロントページの続き

(51)Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/788				
29/792		6866-5L	G 1 1 C 17/00	3 0 7 D
			H 0 1 L 29/78	3 7 1
(31)優先権主張番号	特願平4-238546	(72)発明者	九ノ里 勇一	
(32)優先日	平4(1992)9月7日		兵庫県伊丹市瑞原4丁目1番地	三菱電機
(33)優先権主張国	日本(JP)		株式会社エル・エス・アイ研究所内	
(31)優先権主張番号	特願平4-344807	(72)発明者	味香 夏夫	
(32)優先日	平4(1992)12月24日		兵庫県伊丹市瑞原4丁目1番地	三菱電機
(33)優先権主張国	日本(JP)		株式会社エル・エス・アイ研究所内	
特許法第30条第1項適用申請有り	平成5年1月1日	(72)発明者	小野田 宏	
日経BP社発行の「日経マイクロデバイス1993年1月号」に発表			兵庫県伊丹市瑞原4丁目1番地	三菱電機
(72)発明者	中山 武志		株式会社エル・エス・アイ研究所内	
	兵庫県伊丹市瑞原4丁目1番地	(72)発明者	大井 誠	
	三菱電機		兵庫県伊丹市瑞原4丁目1番地	三菱電機
	株式会社エル・エス・アイ研究所内		株式会社エル・エス・アイ研究所内	
(72)発明者	二ツ谷 知士	(72)発明者	福本 敦	
	兵庫県伊丹市瑞原4丁目1番地		兵庫県伊丹市瑞原4丁目1番地	三菱電機
	三菱電機		株式会社エル・エス・アイ研究所内	
	株式会社エル・エス・アイ研究所内			